

日 本 国 特 許 庁
JAPAN PATENT OFFICE

30.7.2004

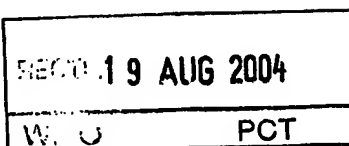
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 7 月 2 2 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 2 7 7 5 6 3
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 2 7 7 5 6 3]

出 願 人 日 本 電 気 株 式 会 社
Applicant(s):

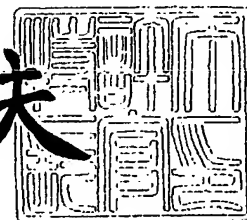


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 6 月 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



BEST AVAILABLE COPY

【書類名】 特許願
【整理番号】 34002312
【提出日】 平成15年 7月22日
【あて先】 特許庁長官 殿
【国際特許分類】 G06F 1/10
【発明者】
 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
 【氏名】 野村 昌弘
【特許出願人】
 【識別番号】 000004237
 【氏名又は名称】 日本電気株式会社
【代理人】
 【識別番号】 100123788
 【弁理士】
 【氏名又は名称】 宮崎 昭夫
 【電話番号】 03-3585-1882
【選任した代理人】
 【識別番号】 100088328
 【弁理士】
 【氏名又は名称】 金田 暢之
【選任した代理人】
 【識別番号】 100106297
 【弁理士】
 【氏名又は名称】 伊藤 克博
【選任した代理人】
 【識別番号】 100106138
 【弁理士】
 【氏名又は名称】 石橋 政幸
【手数料の表示】
 【予納台帳番号】 201087
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0304683

【書類名】 特許請求の範囲**【請求項 1】**

複数のブロックにより構成され、一部または全てのブロックが独立したクロック回路を有し、複数の電源電圧で動作する多電源半導体装置において、

クロック生成回路から前記複数のブロックにそれぞれ供給されるクロック信号の一部または全てに、電源電圧に基づいて遅延量が増加する可変遅延回路が設けられていることを特徴とする多電源半導体装置。

【請求項 2】

前記可変遅延回路は、電源電圧の低下に伴い遅延量が増加する請求項 1 記載の多電源半導体装置。

【請求項 3】

複数のブロックにより構成され、一部または全てのブロックが独立したクロック回路を有し、複数の電源電圧で動作する多電源半導体装置において、

前記電源電圧の電圧レベルを検出し、検出した該電圧レベルを電圧レベル検出信号として出力する電圧レベル検出回路と、

クロック生成回路から前記複数のブロックにそれぞれ供給されるクロック信号の一部または全てに、前記電圧レベル検出信号に基づいて遅延量を増加させる可変遅延回路とが設けられていることを特徴とする多電源半導体装置。

【請求項 4】

複数のブロックにより構成され、一部または全てのブロックが独立したクロック回路を有し、複数の電源電圧で動作する多電源半導体装置において、

クロック生成回路から前記複数のブロックにそれぞれ供給されるクロック信号の一部または全てに、前記各ブロック内のクロック信号の位相の同期をとるための位相同期回路が設けられていることを特徴とする多電源半導体装置。

【請求項 5】

前記位相同期回路の一部または全てに、電源電圧が異なるブロック間で信号レベルの調整を行うレベルシフタの遅延変動を補償するため前記電源電圧に基づいて遅延量が増加する可変遅延回路が設けられている請求項 4 記載の多電源半導体装置。

【請求項 6】

前記電源電圧の変化を検出する電圧変化検出回路と、

前記電圧変化検出回路が電圧変化中であると判定している期間は、前記クロック生成回路により生成されたクロック信号が前記各ブロック回路に供給されないように遮断する遮断手段とをさらに有する請求項 1 から 5 のいずれか 1 項記載の多電源半導体装置。

【請求項 7】

所定のクロック周波数において正常に動作可能な範囲において、前記電源電圧を最も低くするような制御を行う電源制御信号を生成して出力する電圧下限検出回路と、

前記電源制御信号に基づいて前記電源電圧の制御を行う電源制御回路とをさらに有する請求項 1 から 6 のいずれか 1 項記載の多電源半導体装置。

【請求項 8】

複数のブロックにより構成され、一部または全てのブロックが独立したクロック回路を有し、複数の電源電圧で動作する多電源半導体装置において、

現在の動作モードを示す動作モード信号に基づいて前記電源電圧の制御を行う電源制御回路と、

クロック生成回路から前記複数のブロックにそれぞれ供給されるクロック信号の一部または全てに、前記動作モード信号に基づいて遅延量を増加させる可変遅延回路が設けられていることを特徴とする多電源半導体装置。

【請求項 9】

前記動作モード信号により示される動作モードが変化したことを検出すると、内部に有するタイマにより設定される一定期間だけクロック制御信号を所定の値とするモード変化検出回路と、

前記クロック制御信号が前記所定の値である間、前記クロック生成回路により生成されたクロック信号が前記各ブロック回路に供給されないように遮断する遮断手段とをさらに有する請求項 8 記載の多電源半導体装置。

【書類名】明細書

【発明の名称】多電源半導体装置

【技術分野】

【0001】

本発明は、複数の電源電圧で動作する多電源半導体装置に関し、特に、複数のブロックにより構成され、一部または全てのブロックが独立したクロック回路を有する多電源半導体装置に関する。

【背景技術】

【0002】

近年、半導体装置を搭載する携帯電話機等の電子機器では、小型化、低消費電力化が進められている。そのため、半導体装置に対しても消費電力を低減することが要求されている。

【0003】

消費電力を低減するためには電源電圧を下げるのが有効である。また、電源電圧を下げればリーク電流を下げることもなるため消費電力が低減される。しかし、電源電圧を一律に下げると扱うことのできるクロック周波数が低くなってしまい、動作速度が遅くなってしまう。そのため、半導体装置を構成する複数のブロックのうち、動作速度が遅くても良いブロックの電源電圧は低くし、速い動作速度が必要なブロックの電源電圧は高くするというように、複数の電圧で動作し、各ブロック毎に供給する電源電圧を変更可能な多電源半導体装置が用いられるようになっている。

【0004】

また、待機時において、電源電圧を供給することが必要なブロックのみに電源電圧を供給するようにすれば待機時のリーク電流を必要最小限に抑えることが可能となり、結果として消費電力を低減することができる。

【0005】

ここで、以下の説明では、多電源半導体装置とは、複数の電源系統により供給される電圧値の異なる複数の電源により動作する半導体装置だけでなく、複数の電源系統により供給される電圧値の同じ複数の電源により動作する半導体装置や、電源電圧が変化する1つの電源系統により動作する半導体装置をも含むものとする。

【0006】

複数のブロックにより構成された従来の半導体装置では、一部または全てのブロックに独立したクロック回路が備えられていて、複数のブロックに共通して設けられたクロック生成回路からのクロック信号をに基づいて、各ブロック毎に内部で使用するクロック信号を駆動している。しかし、各ブロック内でそれぞれクロック信号を駆動すると、各ブロック内でクロック信号を駆動する際にタイミングのずれが発生してクロックスキューが発生する場合がある。このようなブロック間のクロックスキューが発生すると各ブロック間での信号タイミングがずれてしまうという問題が発生する。そのため、複数のブロックにより構成された半導体装置では、各ブロックに入力される共通のクロック信号のタイミングを遅延回路によって調整して、各ブロック間のクロックスキューを調整することが行われていた。

【0007】

このように遅延回路によりブロック間クロックスキューを抑制するようにした従来の多電源半導体装置の構成を図46に示す。この従来の多電源半導体装置は、図46に示すように、2つのブロック31、32と、クロック（CLK）生成回路10と、遅延回路120とを備えている。ここでは、説明を簡単にするために多電源半導体装置が2つのブロック31、32により構成されている場合を用いて説明するが、実際にはもっと多数のブロックにより構成されている場合もある。

【0008】

クロック生成回路10は、クロック信号を生成して、ブロック31、ブロック32に供給している。ただし、クロック生成回路10からブロック32に供給されるクロック信号

には、途中に遅延回路 120 が挿入されており、クロック生成回路 10 により生成されたクロック信号から一定時間だけ遅延された信号がクロック信号としてブロック 32 に供給されている。

【0009】

また、ブロック 31 は、クロック回路 41 と、フリップフロップ (F/F) 回路 51、52 とを備えていて、ブロック 32 は、クロック回路 42 と、フリップフロップ回路 62、63 とを備えている。

【0010】

ブロック 31 のクロック回路 41 は、クロック生成回路 10 からのクロック信号に基づいて、ブロック 31 内の各回路に供給するためのクロック信号 CLK1 を駆動している。ブロック 32 のクロック回路 42 は、遅延回路 120 により一定時間遅延された後のクロック信号に基づいて、ブロック 32 内の各回路に供給するためのクロック信号 CLK2 を駆動している。

【0011】

このような多電源半導体装置では、供給される電源電圧が一定の範囲内で変化する可変電源を電源として用いる場合でも、全ての動作点で動作保証を行う必要がある。つまり、全ての電源電圧においてクロックスキューが信号伝搬遅延より小さくなるように、すなわち信号伝搬遅延がクロックスキューより大きくなるようにブロック回路(クロック回路、演算回路)を設計する必要がある。

【0012】

可変電源 101 の電圧値によりブロック 31、32 間のクロック回路 41、42 の遅延量が変わらなければ、一定の遅延量の遅延回路 120 を用いることによりブロック 31、32 間のクロックスキューを抑制することは可能である。

【0013】

例えば、図 46 に示した従来の多電源半導体装置では、クロック回路 41 により出力されるクロック信号 CLK1 と、クロック回路 42 により出力されるクロック信号 CLK2 との位相が一致するように遅延回路 120 の遅延量を設定すれば、ブロック 31、32 間のクロックスキューを抑制することが可能となる。

【0014】

しかし、各ブロック 31、32 のクロック回路 41、42 の遅延量の電源電圧依存性が同じでない場合には、可変電源 101 の電源電圧の変化により、クロック回路遅延がそれぞれ変化し、ブロック間クロックスキューが著しく増加するという問題がある。

【0015】

特に、しきい値 (V_t) の異なる MOS トランジスタを同じ半導体装置上に形成するマルチ V_t と呼ばれる手法や、ゲート絶縁膜厚 (T_{ox}) の異なる MOS トランジスタを同じ半導体装置上に形成するマルチ T_{ox} と呼ばれる手法を用いた場合には、各ブロック 31、32 のクロック回路 41、42 の遅延量の電源電圧依存性が大きく異なることになり、このような問題がより顕著になる。

【0016】

例えば、図 46 に示したクロック回路 41、42 の遅延量の電源電圧依存性が図 47 に示すような特性であったとする。可変電源 101 が電圧 A の場合には、遅延回路 120 によりブロック間クロックスキューが無いように設定されていても、可変電源 101 の電源電圧が変化して電圧 B となると遅延差が発生し、ブロック間クロックスキューが大きくなってしまふことになる。

【0017】

このような従来の多電源半導体装置におけるクロック回路 41、42 の動作を図 48 のタイミングチャートに示す。図 48 のタイミングチャートを参照すると、可変電源 101 が電圧 A の場合ではほとんど発生していなかったクロックスキューが、可変電源 101 が電圧 B に変化したことにより大きくなってしまふことがわかる。

【0018】

さらに、上記で説明したように多電源半導体装置には、変化しない電源と可変電源を電源として使用するものもある。このように変化しない電源が入力されたブロックと可変電源が入力されたブロックとが存在する多電源半導体装置を図49に示す。この図49では、ブロック41には、変化しない電源102が入力され、ブロック42には可変電源101が入力されている。入力される電源電圧が異なると出力される信号レベルも異なるため、この電圧差を調整するためにブロック31、32間の信号にはレベルシフタ71～73が設けられている。この図49に示すような多電源半導体装置では、図50に示すように、可変電源101の電圧値が変化するとブロック32内のクロック回路42の電源電圧も変化することになるため、異なる電源を供給されるブロック31との間でクロックスキューが著しく増加してしまう。

【0019】

クロックスキューを低減するための方法としては従来から様々な方法が提案されている。例えば、複数のICチップからなる半導体集積回路システムにおいて、クロックスキューを低減する方法が、例えば、特許文献1に開示されている。この半導体集積回路システムでは、ICチップを1つのマスターチップと他のスレーブチップとに分け、マスターチップにおいて電源電圧等の状態の変化を検知し、この検知結果を各スレーブチップに伝達して、各スレーブチップでは、伝達された検知結果の情報に基づいてクロックの位相を調整するようにしている。

【0020】

この従来の半導体集積回路システムは、複数のICチップにより構成されているものであるため、1つのチップ上に複数のブロックが形成された多電源半導体装置とは異なる構成であるが、このような方法を多電源半導体装置に適用した場合、電源電圧の変化を検出するための回路およびこの回路から各ブロックへの配線が必要となる。特に多電源半導体装置では、電源系統が複数存在するための各電源系統毎に電源電圧の変化を検出するための回路が必要となり、構成されるブロック数、使用される電源電圧の系統数が増えれば増えるほど回路構成、配線数が増加して集積度の高い半導体装置において採用することは現実的ではない。

【特許文献1】特開平11-39868号公報

【発明の開示】

【発明が解決しようとする課題】

【0021】

上述した従来の多電源半導体装置では、ある電源電圧の時にクロックスキューが抑制されるように遅延回路により遅延量の調整を行っているので、各ブロックにそれぞれ設けられているクロック回路の遅延量の電源電圧依存性が一様でない場合には、電源電圧が変化するとブロック間のクロックスキューが増加してしまうという問題点があった。

【0022】

本発明の目的は、各ブロックにそれぞれ設けられているクロック回路の遅延量の電源電圧依存性が一様でない場合に、電源電圧が変化した場合でも、複雑な構成を用いることなく、ブロック間のクロックスキューを低減することができる多電源半導体装置を提供することである。

【課題を解決するための手段】

【0023】

上記目的を達成するために、本発明の多電源半導体装置は、複数のブロックにより構成され、一部または全てのブロックが独立したクロック回路を有し、複数の電源電圧で動作する多電源半導体装置において、

クロック生成回路から前記複数のブロックにそれぞれ供給されるクロック信号の一部または全てに、電源電圧に基づいて遅延量が変化する可変遅延回路が設けられていることを特徴とする。

【0024】

本発明によれば、電源電圧に基づいて遅延量が変化する可変遅延回路から各ブロックに

供給されるクロック信号に設けられているので、電源電圧が変化してブロック間のクロックスキューが増加しようとする場合に、このクロックスキューの増加を補償することにより電源電圧変化に伴うクロックスキューの増加が抑制される。

【0025】

また、前記可変遅延回路は、電源電圧の低下に伴い遅延量が増加するようにしてもよい。

【0026】

電源電圧の低下に伴いあるブロック内のクロック回路の遅延量が他のブロック内のクロック回路の遅延量よりも少なくなる場合、そのブロックに供給されるクロック信号の遅延量を増加するようにすれば、電源電圧低下に伴うクロックスキューの増加を抑制することが可能となる。

【0027】

さらに、本発明の他の多電源半導体装置は、複数のブロックにより構成され、一部または全てのブロックが独立したクロック回路を有し、複数の電源電圧で動作する多電源半導体装置において、

前記電源電圧の電圧レベルを検出し、検出した該電圧レベルを電圧レベル検出信号として出力する電圧レベル検出回路と、

クロック生成回路から前記複数のブロックにそれぞれ供給されるクロック信号の一部または全てに、前記電圧レベル検出信号に基づいて遅延量を変化させる可変遅延回路とが設けられていることを特徴とする。

【0028】

本発明によれば、電圧レベル検出回路により電源電圧の電圧レベルを検出し、検出された電圧レベルに基づいて可変遅延回路の遅延量を変化させるようにしたものである。

【0029】

さらに、本発明の他の多電源半導体装置は、複数のブロックにより構成され、一部または全てのブロックが独立したクロック回路を有し、複数の電源電圧で動作する多電源半導体装置において、

クロック生成回路から前記複数のブロックにそれぞれ供給されるクロック信号の一部または全てに、前記各ブロック内のクロック信号の位相の同期をとるための位相同期回路が設けられていることを特徴とする。

【0030】

本発明によれば、位相同期回路により各ブロック内のクロック信号の位相の同期をとるようにしているので、電源電圧が変化して各ブロック内のクロック回路の遅延量が変わった場合でも、各ブロック内のクロック信号の位相がずれることがない。そのため、電源電圧が変化した場合でも、ブロック間クロックスキューの増加を抑制することができる。

【0031】

また、前記位相同期回路の一部または全てに、電源電圧が異なるブロック間で信号レベルの調整を行うレベルシフタの遅延変動を補償するため前記電源電圧に基づいて遅延量が変わる可変遅延回路を設けるようにしてもよい。

【0032】

本発明によれば、レベルシフタの遅延変動が問題となる場合に、このレベルシフタの遅延変動を補償することにより、電源電圧の変動に伴うクロックスキューの増加を抑制することができる。

【0033】

さらに、本発明の他の多電源半導体装置は、前記電源電圧の変化を検出する電圧変化検出回路と、

前記電圧変化検出回路が電圧変化中であると判定している期間は、前記クロック生成回路により生成されたクロック信号が前記各ブロック回路に供給されないように遮断する遮断手段とをさらに有するようにしてもよい。

【0034】

本発明によれば、電源電圧が変化している際には、クロック生成回路からのクロック信号が各ブロックに供給されないようにすることにより、電圧変化中の誤動作を防ぎブロック動作の安定化を図ることができる。

【0035】

さらに、所定のクロック周波数において正常に動作可能な範囲において、前記電源電圧を最も低くするような制御を行う電源制御信号を生成して出力する電圧下限検出回路と、前記電源制御信号に基づいて前記電源電圧の制御を行う電源制御回路とをさらに有するようにしてもよい。

【0036】

本発明によれば、正常に動作が行われる範囲で電源電圧を低くすることができるため、消費電力を抑制して高い電力効率を実現することが可能となる。

【0037】

また、本発明の他の多電源半導体装置は、複数のブロックにより構成され、一部または全てのブロックが独立したクロック回路を有し、複数の電源電圧で動作する多電源半導体装置において、

現在の動作モードを示す動作モード信号に基づいて前記電源電圧の制御を行う電源制御回路と、

クロック生成回路から前記複数のブロックにそれぞれ供給されるクロック信号の一部または全てに、前記動作モード信号に基づいて遅延量を変化させる可変遅延回路が設けられていることを特徴とする。

【0038】

また、前記動作モード信号により示される動作モードが変化したことを検出すると、内部に有するタイマにより設定される一定期間だけクロック制御信号を所定の値とするモード変化検出回路と、

前記クロック制御信号が前記所定の値である間、前記クロック生成回路により生成されたクロック信号が前記各ブロック回路に供給されないように遮断する遮断手段とをさらに有するようにしてもよい。

【発明の効果】

【0039】

以上説明したように、本発明によれば、クロック生成回路と各ブロックとの間に可変遅延回路を設けて、電源電圧変化に伴う遅延量の変動を補償することにより、電源電圧が変化した場合のブロック間クロックスキューの発生を抑制することができるという効果を得ることができる。

【発明を実施するための最良の形態】

【0040】

次に、本発明の目的、特徴および利点を明確にすべく、以下添付した図面を参照しながら、本発明の実施の形態につき詳細に説明する。

【0041】

(第1の実施形態)

図1は本発明の第1の実施形態の多電源半導体装置の構成を示すブロック図である。図1において、図46中の構成要素と同一の構成要素には同一の符号を付し、説明を省略するものとする。

【0042】

本実施形態の多電源半導体装置は、クロック(CLK)生成回路10と、ブロック31、32と、可変遅延回路20とを備えている。本実施形態の多電源半導体装置は、図46に示した従来の多電源半導体装置に対して、遅延回路120が可変遅延回路20に置き換えられた構成となっている。

【0043】

本実施形態の多電源半導体装置には、電源電圧が変化する可変電源101が入力されていて、この可変電源101はブロック31、32とともに可変遅延回路20に供給される

。また、多電源半導体装置に供給される電源が可変電源 101 の 1 系統だけの場合には、クロック生成回路 10 には可変電源 101 が供給される。クロック生成回路(ドライバまたは PLL 等) 10 からクロック信号が生成され、そのクロック出力は、ブロック 31 とブロック 32 に供給される。ブロック 31、32 には、それぞれクロック回路 41、42 が設けられている。また、このブロック 31 とブロック 32 との間には信号接続を有する。

【0044】

可変遅延回路 20 は、電源電圧に基づいて遅延量が変化する遅延回路であり、本実施形態では可変電源 101 が電源電圧として供給されているため、可変電源 101 の電圧値に応じて遅延量が変化する。

【0045】

本実施形態においても、説明を簡単にするために多電源半導体装置が 2 つのブロック 31、32 により構成されている場合を用いて説明するが、実際にはもっと多数のブロックにより構成されている場合もある。

【0046】

ここで、ブロック 31 は、高しきい値のトランジスタにより構成され、ブロック 32 は、低しきい値のトランジスタにより構成されているものとして説明する。そのため、可変電源 101 の電圧が下がると、クロック回路 41 の遅延量は大幅に増加するが、クロック回路 42 の遅延量はあまり増加しないものとする。

【0047】

可変遅延回路 20 は、可変電源 101 の電圧が下がると遅延量が増加するように設定されている。そのため、可変電源 101 の電圧が降下して、クロック回路 41 の遅延量がクロック回路 42 の遅延量よりも大きくなった場合でも、可変遅延回路 20 の遅延量が増加することにより、クロック信号 CLK1、CLK2 の位相調整が実施される。そのため、各ブロック 31、32 の F/F51、52、61、62 に入力されるクロック信号 CLK1、CLK2 の位相が合うことになる。そして、この位相調整が行われたクロック信号 CLK1、CLK2 に基づきブロック 31、32 が動作するため、信号の送受信が滞りなく行われる。この際、可変遅延回路 20 の遅延精度は、信号接続部のホールドマージンを満たせば良い。ホールドマージンとは、誤動作を防止するためにクロックの変化後に信号が状態を維持していなければならないマージンをいう。

【0048】

次に、図 1 に示した可変遅延回路 20 の具体的な構成の一例を図 2 に示す。図 2 を参照すると、図 1 の可変遅延回路 20 は、高しきい値トランジスタにより構成された複数のインバータが直列に接続された多段インバータにより実現されている。しきい値の高いトランジスタにより構成されたインバータでは、電源電圧の低下に対して、通常回路に比べて、著しく遅延が増加する。そのため、上述したような構成とすることにより、電源電圧に応じて遅延量に変化する可変遅延回路を実現することができる。

【0049】

可変遅延回路 20 を構成する各インバータとしては、図 3 に示すような一般的なインバータを用いることができる。このインバータは、電源電圧とグランド電位との間に P チャネル MOS トランジスタ 81 と N チャネル MOS トランジスタ 82 とが接続された一般的なインバータであり、当業者にとって良く知られた構造であるため、その動作については省略する。

【0050】

さらに、可変遅延回路 20 を構成する各インバータは、ゲート長の大きなトランジスタにより構成されたインバータを用いるようにしてもよい。ゲート長が大きいとトランジスタのしきい値が上昇し、電源電圧の低下に対して、通常回路に比べて、著しく遅延量が増加する。そのため、上述したような電源電圧に応じて遅延量に変化する可変遅延回路を実現することができる。

【0051】

さらに、可変遅延回路20を構成する各インバータとして、図4に示すようなインバータを用いることも可能である。図4に示したインバータは、縦積み段数の大きい多段インバータである。トランジスタを縦積みすることにより基板効果が働き、トランジスタの閾値が上昇し、電源電圧の低下に対して、通常回路に比べて、著しく遅延が増加する。そのため、上述したような電源電圧に応じて遅延量に変化する可変遅延回路を実現することができる。

【0052】

このようにして構成された可変遅延回路20の電源電圧—遅延量特性を図5に示す。この図5を参照すると、電源電圧が下がることにより可変遅延回路20の遅延量が増加していることがわかる。例えば、可変電源101が電圧Aから電圧Bまで変化した場合、図5中の遅延量変化分だけ遅延量が増加する。そして、この遅延量変化分によりブロック32のクロック回路42から出力されるクロック信号CLK2が遅延するため、図47に示したクロック回路41とクロック回路42との遅延差が打ち消されることとなる。

【0053】

次に、可変電源101が電圧Aから電圧Bに変化した場合における、本実施形態の多電源半導体装置の動作を図6のタイミングチャートを参照して説明する。

【0054】

この図6では、可変電源101、およびブロック31、32の各フリップフロップ回路51、52、61、62に入力されるクロック信号CLK1、2が示されている。可変電源101が電圧Aの場合には、クロック信号CLK1、CLK2間の位相は同期がとれている。ここで、可変電源101が電圧Aから電圧Bに切り換わる際、電源電圧が徐々に低下して電圧Aから電圧Bに変化する。すると、クロック信号CLK1、CLK2の振幅と位相も徐々に変化する。

【0055】

一方、可変遅延回路20の電圧特性は図6に示すような特性となっているため、可変電源101が電圧Aから電圧Bに変化すると、遅延量が増加する。

【0056】

このように、可変遅延回路20は、クロック回路41、42間の遅延差を常に補償するように遅延量が増加するため、可変電源101の電圧値が変化してもブロック31、32間のクロックスキューの発生を抑制することが可能となる。従って、複数の電源電圧で動作する多電源半導体装置の動作を、ある電源電圧において過大なホールドマージンとすることなく、常に適当なホールドマージンで動作を保証できる。

【0057】

尚、本実施形態では、多電源半導体装置を構成する2つのブロック31、32のうちの、一方のブロック32のみに可変遅延回路20を設けたものであったが、クロック生成回路10から複数のブロックにそれぞれ供給されるクロック信号の一部または全てに、可変遅延回路を設けるようにしてもよい。

【0058】

(第2の実施形態)

次に、本発明の第2の実施形態の多電源半導体装置について説明する。図7は本発明の第2の実施形態の多電源半導体装置の構成を示すブロック図である。図7において、図1中の構成要素と同一の構成要素には同一の符号を付し、説明を省略するものとする。

【0059】

上記で説明した本発明の第1の実施形態の多電源半導体装置では可変遅延回路を1つのブロックに設けた場合を用いて説明したが、本発明の第2の実施形態では、図7に示すように可変遅延回路を複数または全てのブロックに設けるようにしている。

【0060】

ここで例えば、クロック回路41が高しきい値のトランジスタにより構成され、クロック回路42が低しきい値のトランジスタにより構成されている場合、可変遅延回路20は上述したように高しきい値のトランジスタにより構成し、可変遅延回路21は低しきい値

のトランジスタにより構成する。

【0061】

低しきい値のトランジスタによりクロック回路を構成した場合であっても、電源電圧の低下にともなって遅延量は多少増加する。そのため、上記のような構成とすることにより、高しきい値のトランジスタの電源電圧依存性と、低しきい値トランジスタの電源電圧依存性とが打ち消され、1つのブロックに対して可変遅延回路を設けた場合よりもより高い精度でクロックスキューの低減を図ることが可能となる。

【0062】

また、多電源半導体装置が3以上のブロックにより構成されている場合には、同様にして全てまたは一部のブロックに対して可変遅延回路も設けるようにすることができる。

【0063】

(第3の実施形態)

次に、本発明の第3の実施形態の多電源半導体装置について説明する。上記第1および第2の実施形態では、可変遅延回路20を設けることにより可変電源101の電圧変化時のクロックスキューを低減してブロック動作の安定化を図っていた。しかし、可変電源101の電圧変化中に、可変遅延回路20、クロック回路41、42の遅延量の変化がずれてしまうと誤動作が発生する可能性もある。本実施形態の多電源半導体装置は、電源電圧変化中にはクロック生成回路10から供給されるクロック信号を停止するようにして、ブロック動作の安定化を図るようにしたものである。

【0064】

本実施形態の多電源半導体装置は、図8に示すように、図1に示した第1の実施形態の多電源半導体装置に対して、電圧変化検出回路90と、アンド回路91、92とが新たに設けられている。

【0065】

電圧変化検出回路90は、可変電源101の電圧値の変化を検出するとロウレベル（以下Lと表す。）の電圧変化検出信号を出力し、可変電源101の電圧値が変化していない一定の場合には電圧変化検出信号をハイレベル（以下Hと表す。）のままとする。

【0066】

アンド回路91は、電圧変化検出回路90からの電圧変化検出信号がHの場合には、クロック生成回路10からのクロック信号をブロック31のクロック回路41に供給し、電圧変化検出信号がLの場合には、クロック生成回路10からのクロック信号を遮断する。

【0067】

また、アンド回路92は、電圧変化検出回路90からの電圧変化検出信号がHの場合には、クロック生成回路10からのクロック信号をブロック32のクロック回路42に供給し、電圧変化検出信号がLの場合には、クロック生成回路10からのクロック信号を遮断する。

【0068】

つまり、アンド回路91、92は、電圧変化検出回路90が電圧変化中であると判定している期間は、クロック生成回路10により生成されたクロック信号がブロック回路31、32に供給されないように遮断する遮断手段として機能する。

【0069】

また、電圧変化検出回路90は、図9に示すように、A/D変換回路93、フリップフロップ回路94と、比較器95とから構成される。

【0070】

A/D変換回路93は、可変電源101の電圧値をデジタル情報に変化している。フリップフロップ回路94は、このデジタル情報をクロック信号の1周期分保持する。そのため、フリップフロップ回路94には、1クロック前のデジタル情報が保持されていることになる。

【0071】

比較器95は、フリップフロップ回路94に保持されているデジタル情報と、A/D変

換回路 93 から出力されたデジタル情報を比較して、A/D 変換回路 93 から出力されたデジタル情報とフリップフロップ回路 94 に保持されているデジタル情報とが一致しない場合には、可変電源 101 が変化していると判定して、電圧変化検出信号を H とする。

【0072】

本実施形態の多電源半導体装置による動作を図 10 に示す。図 10 を参照すると、可変電源 101 が電圧 A から降下し始めると、電圧変化検出回路 90 はこの電圧変化を検出して、電圧変化検出信号を L とする（時刻 t_1 ）。

【0073】

すると、アンド回路 91、92 では、クロック生成回路 10 からのクロック信号を遮断して、ブロック 31、32 に供給されないようにする。

【0074】

そして、可変電源 101 が電圧 B となり安定すると、電圧変化検出回路 90 は電圧変化検出信号を H とする（時刻 t_2 ）。そのため、アンド回路 91、92 は、クロック生成回路 10 からのクロック信号をブロック 31、32 に供給するようになる。

【0075】

本実施形態の多電源半導体装置によれば、可変電源 101 が変化している最中には、クロック生成回路 10 からのクロック信号がブロック 31、32 に供給されないようにすることにより各ブロック 31、32 で誤動作が発生するのを防ぎ、ブロック動作の安定を図ることができる。

【0076】

尚、本実施形態では、電圧変化検出回路 90 が多電源半導体装置内に設けられている場合について説明したが、電圧変化検出回路 90 を多電源半導体装置の外部に設け、電圧変化検出信号のみを多電源半導体装置に入力するようにしてもよい。

【0077】

（第 4 の実施形態）

次に、本発明の第 4 の実施形態の多電源半導体装置について説明する。上記第 1 の実施形態等では、可変電源 101 を可変遅延回路 20 に入力することにより、可変遅延回路 20 の遅延量をアナログ的に制御するものであったが、本発明の第 4 の実施形態の多電源半導体装置では、可変電源 101 の電圧レベルを検出する電圧レベル検出回路 96 を設けて、可変遅延回路をデジタル的に制御するようにしたものである。

【0078】

本発明の第 4 の実施形態の多電源半導体装置の構成を図 11 に示す。図 11 において、図 1 中の構成要素と同一の構成要素には同一の符号を付し、説明を省略するものとする。

【0079】

本実施形態の多電源半導体装置は、図 1 に示した第 1 の実施形態の多電源半導体装置に対して、電圧レベル検出回路 96 を新たに設け、可変遅延回路 20 を可変遅延回路 22 に置き換えた構成となっている。

【0080】

電圧レベル検出回路 96 は、可変電源 101 の電圧レベルを検出して、検出したその電圧レベルをデジタル情報である電圧レベル検出信号 103 として出力する。そして、本実施形態における可変遅延回路 22 は、電圧レベル検出信号 103 に基づいて遅延量を変化させる。

【0081】

電圧レベル検出回路 96 の最も簡単な構成としては、図 12 に示すように、可変電源 101 と基準電圧 V_{ref} を入力とする差動アンプにより実現することができる。この場合には、電圧レベル検出信号 103 は、H または L の 1 ビットのデジタル情報となる。

【0082】

そして、この 1 ビットの電圧レベル検出信号 103 を入力して遅延量を変化させる可変遅延回路 22 の具体例を図 13 および図 14 に示す。

【0083】

図13には、遅延ゲート97とセクタ98とから構成される可変遅延回路22が示されている。

【0084】

遅延ゲート97は、クロック生成回路10からのクロック信号を一定時間遅延させている。セクタ98は、遅延ゲート97を介したクロック信号またはクロック生成回路10から入力されたクロック信号を、電圧レベル検出信号103の論理に基づいて選択してブロック32に出力する。

【0085】

図14には、2つの遅延ゲート97₁、97₂と、2つのセクタ98₁、98₂とから構成された可変遅延回路22が示されている。

【0086】

また、図14に示した構成は、図13に示した遅延ゲート97とセクタ98を2組み接続したものであり、1つの遅延ゲートでは遅延量が不足する場合に用いることができる。

【0087】

また、電圧レベル検出信号103を複数ビットとする場合の電圧レベル検出回路96の構成を図15に示す。この図15では、可変電源101を入力してA/D変換するA/D変換回路により電圧レベル検出回路96が実現される。ここでは、説明を簡単にするために、電圧レベル検出信号103が2ビットの場合を用いて説明するが、電圧レベル検出信号103のビット数は3ビット以上の場合も同様に実現可能である。

【0088】

2ビットの電圧レベル検出信号103を入力して遅延量を変化させる可変遅延回路22の具体例を図16に示す。

【0089】

図16には、遅延ゲート99と、セクタ100とから構成される可変遅延回路22が示されている。

【0090】

遅延ゲート99は、D1、D2、D3という遅延量が異なる3つの遅延回路が並列に接続されている。そして、セクタ100は、電圧レベル検出信号103の値に基づいて、クロック生成回路10からのクロック信号、遅延回路D1、遅延回路D2、遅延回路D3を通過後のクロック信号のうちの1つを選択して、ブロック32に出力する。

【0091】

上記で説明した遅延ゲート97、97₁、97₂、99は、多段インバータにより実現することができる。

【0092】

尚、本実施形態では、電圧レベル検出回路96が多電源半導体装置内に設けられている場合について説明したが、電圧レベル検出回路96を多電源半導体装置の外部に設け、電圧レベル検出信号のみを多電源半導体装置に入力するようにしてもよい。

【0093】

(第5の実施形態)

次に、本発明の第5の実施形態の多電源半導体装置について説明する。

【0094】

本実施形態の多電源半導体装置の構成を図17に示す。図17において、図1、図8、図11中の構成要素と同一の構成要素には同一の符号を付し、説明を省略するものとする。

【0095】

本実施形態の多電源半導体装置は、第3の実施形態と第4の実施形態を組み合わせたものであり、電圧レベル検出回路96を設けて可変遅延回路22のデジタル制御を行うとともに、電圧変化検出回路90を設けて、電源電圧変化時のクロック供給を停止させ、ブロックの安定動作を図るようにしたものである。

【0096】

次に、本実施形態の多電源半導体装置の動作を図18のタイミングチャートを参照して説明する。

【0097】

図18を参照すると、可変電源101が電圧Aから降下し始めると、電圧変化検出回路90はこの電圧変化を検出して、電圧変化検出信号をLとする（時刻 t_1 ）。

【0098】

すると、アンド回路91、92では、クロック生成回路10からのクロック信号を遮断して、ブロック31、32に供給されないようにする。この間電圧レベル検出回路96から出力される電圧レベル検出信号103により示される電圧値も電圧Aから電圧Bに変更される。そのため、可変遅延回路22は遅延量を電圧レベル検出信号103に基づいて変更する。

【0099】

そして、可変電源101が電圧Bとなり安定すると、電圧変化検出回路90は電圧変化検出信号をHとする（時刻 t_2 ）。そのため、アンド回路91、92は、クロック生成回路10からのクロック信号をブロック31、32に供給するようになる。この時にはすでに可変遅延回路22の遅延量は電圧Bに対応した遅延量に変更されているため、クロック回路41、42から出力されるクロック信号CLK1、CLK2の位相は同期がとれたものとなっている。

【0100】

尚、本実施形態では、電圧変化検出回路90と電圧レベル検出回路96とが多電源半導体装置内に設けられている場合について説明したが、電圧変化検出回路90および電圧レベル検出回路96の両方または一方を多電源半導体装置の外部に設け、電圧変化信号および電圧レベル検出信号103の両方または一方のみを多電源半導体装置に入力するようにしてもよい。

【0101】

（第6の実施形態）

次に、本発明の第6の実施形態の多電源半導体装置について説明する。

【0102】

本発明の第6の実施形態の多電源半導体装置を図19に示す。図19において、図1中の構成要素と同一の構成要素には同一の符号を付し、説明を省略するものとする。本実施形態の多電源半導体装置は、図1に示した第1の実施形態の多電源半導体装置に対して、電圧下限検出回路110を新たに設けたものである。また、図19では、図1では示されていなかった電源制御回路111が示されている。

【0103】

本実施形態の多電源半導体装置では、可変電源101とクロック生成回路10の基準クロック(CLK)を入力した電圧下限検出回路110を設けて、外部の電源制御回路111に電源制御信号104を供給して、可変電源101の電圧値を所定の基準CLKでの動作を保証する下限電圧とすることにより、消費電力を低く抑えて高い電力効率を実現することが可能となる。

【0104】

F/F間の遅延が最大のパスをクリティカルパスといい、その遅延をクリティカルパスの遅延という。正常動作が行われるためには、クロック信号の周期をTとすると、クリティカルパスの遅延<周期Tであることが必要となる。逆に、上記の要件が満たされる範囲であれば、可変電源101の電圧を低下させても誤動作は発生しない。そのため、本実施形態の多電源半導体装置では、クリティカルパスの遅延<周期Tの関係が満たされる下限まで可変電源101の電圧値を低下させることにより、消費電力の削減を行うようにする。

【0105】

電圧下限検出回路110は、所定のクロック周波数において正常に動作可能な範囲にお

いて、可変電圧 101 の電圧値を最も低くするような制御を行うための電源制御信号 140 を生成して電源制御回路 111 に出力している。具体的には、電圧下限検出回路 110 は、クロック生成回路 10 により生成されたクロック信号の周期が、クリティカルパスの遅延時間よりも長いことが保証される範囲で、可変電源 101 の電圧値が低くなるような電源制御信号 140 を生成して、電源制御回路 111 に出力している。

【0106】

電源制御回路 111 は、電圧下限検出回路 110 からの電源制御信号 140 に基づいて可変電源 101 の制御を行っている。

【0107】

図 19 中の電圧下限検出回路 110 の構成を図 20 に示す。

【0108】

この電圧下限検出回路 110 は、遅延回路 112 ~ 114 と、インバータ 115 と、フリップフロップ回路 116、117 とから構成されている。また、電源制御信号 140 は、可変電源 101 の電圧値を減少する指示を行う down 信号と、可変電源 101 の電圧値を増加させる指示を行う up 信号とから構成されている。

【0109】

遅延回路 112 は、クロック生成回路 10 からのクロック信号 CLK をクリティカルパスの遅延分だけ遅延させて出力する。遅延回路 113、114 は、それぞれ遅延時間 $\alpha 1$ 、 $\alpha 2$ だけクロック信号を遅延させて出力する。

【0110】

電圧下限検出回路 110 を上記のような構成とすることにより、down 信号と up 信号は下記のように制御される。

(1) down 信号

a) クリティカルパスの遅延 + $\alpha 1 + \alpha 2 < \text{周期 } T$

電圧値を減少する旨の指示を行う “1”

b) クリティカルパスの遅延 + $\alpha 1 + \alpha 2 \geq \text{周期 } T$

電圧値の変更を行わない旨の指示を行う “0”

(2) up 信号

a) クリティカルパスの遅延 + $\alpha 1 > \text{周期 } T$

電圧値を増加させる旨の指示を行う “1”

b) クリティカルパスの遅延 + $\alpha 1 \leq \text{周期 } T$

電圧値の変更を行わない旨の指示を行う “0”

ここで、 $\alpha 1$ は遅延マージンであり、 $\alpha 2$ はあそびである。よって、電圧下限検出回路 110 は、クリティカルパスの遅延 + $\alpha 1 < \text{周期 } T < \text{クリティカルパスの遅延} + \alpha 1 + \alpha 2$ となるように、up 信号と down 信号とからなる電源制御信号 140 を電源制御回路 111 に出力する。

【0111】

本実施形態における電圧下限検出回路 11 の動作を図 21 のタイミングチャートに示す。

【0112】

(第 7 の実施形態)

次に、本発明の第 7 の実施形態の多電源半導体装置について説明する。上記第 1 から第 6 の実施形態では、可変遅延回路を用いてクロックスキューの抑制を図るようにしていたが、本発明の第 7 の実施形態の多電源半導体装置では、可変遅延回路の代わりに、ブロック 31、32 内のクロック信号の位相の同期をとるための位相同期回路を設けてブロック間のクロックスキューを抑制するようにしている。

【0113】

本実施形態の多電源半導体装置は、図 22 に示されるように、図 1 に示した第 1 の実施形態等の多電源半導体装置に対して、可変遅延回路 20 の代わりに位相同期回路 131、132 が設けられたものである。

【0114】

位相同期回路131は、クロック生成回路10からのクロック信号をCLK入力とし、クロック回路41により生成されたクロック信号CLK1を参照CLKとし、生成したクロック信号をCLK出力としてクロック回路41に供給している。そして、位相同期回路131は、CLK入力と参照CLKの位相が同期するように、CLK出力の位相を調整している。

【0115】

位相同期回路132も同様にして、クロック生成回路10からのクロック信号と、クロック回路41により生成されたクロック信号CLK2の位相が同期するように、クロック回路42に出力するクロック信号の位相の調整を行っている。

【0116】

位相同期回路131、132は、図23に示すようにPLL (Phase Locked Loop: 位相同期ループ) 回路により実現することもできるし、図24に示すようにDLL (Delay Locked Loop: 遅延同期ループ) 回路により実現することも可能である。

【0117】

本実施形態のように位相同期回路131、132を設けて、ブロック31、32内で用いられるクロック信号CLK1、CLK2の位相をクロック信号生成回路10により生成されたクロック信号の位相と同期をとるようにすれば、可変電源101の電圧値が電圧Aから電圧Bに変化した場合でも、図25に示すように、クロック信号CLK1、CLK2間の位相は同期がとられることとなる。そのため、本実施形態の多電源半導体装置によれば、可変遅延回路を設けた場合と同様に、ブロック31、32間のクロックスキューを低減することが可能となる。

【0118】

(第8の実施形態)

次に、本発明の第8の実施形態の多電源半導体装置について説明する。本実施形態の多電源半導体装置は、図22に示した第7の実施形態の多電源半導体装置に対して、電圧変化検出回路90を設けて電源電圧の変化期間中のクロック出力を停止するようにしたものである。

【0119】

ただし、本実施形態の多電源半導体装置では、図26に示すように、クロック回路41、42の代わりにアンド回路11、12およびバッファ回路13、14がブロック31、32にそれぞれ設けられている構成となっている。

【0120】

アンド回路11は、電圧変化検出回路90からの電圧変化検出信号がHの場合には、位相同期回路131からのクロック信号をブロック31のためのクロック信号CLK1として供給し、電圧変化検出信号がLの場合には、位相同期回路131からのクロック信号を遮断してブロック31内の各回路にクロック信号が供給されないようにしている。

【0121】

バッファ回路13は、位相同期回路131からのクロック信号を受けてクロック信号CLK1'とし、位相同期回路131の参照CLKとして出力している。

【0122】

ここで、アンド回路11とバッファ回路13とは、同じ種類のトランジスタにより構成されていて電源電圧の変動による遅延量の差がほぼ無いように設定されている。そのため、電圧変化検出信号がHの場合には、可変電源101の電圧値に関わらずクロック信号CLK1、CLK1'の位相はほぼ同期がとられている。

【0123】

なお、アンド回路12、バッファ回路14の動作については、アンド回路11、バッファ回路13と同様であるためその説明は省略する。

【0124】

本実施形態の多電源半導体装置によれば、図27に示されるように、上記で説明した第

3の実施形態と同様に、可変電源101が変化している最中には、クロック生成回路10からのクロック信号がブロック31、32に供給されないようにすることにより各ブロック31、32で誤動作が発生するのを防ぎ、ブロック動作の安定を図ることができる。

【0125】

尚、本実施形態では、電圧変化検出回路90が多電源半導体装置内に設けられている場合について説明したが、電圧変化検出回路90を多電源半導体装置の外部に設け、電圧変化信号のみを多電源半導体装置に入力するようにしてもよい。

【0126】

(第9の実施形態)

次に、本発明の第9の実施形態の多電源半導体装置について説明する。上記第1から第8の実施形態の多電源半導体装置では、クロック生成回路は一定の周波数のクロック信号を生成するものであった。本発明の第9の実施形態の多電源半導体装置では、現在の動作モードを示す動作モード信号が入力されていて、クロック生成回路はこの動作モード信号に基づいてクロック信号の周波数を変化させ、また可変電源の電圧値も動作モードに応じて変化する。

【0127】

本実施形態の多電源半導体装置の構成を図28に示す。本実施形態の多電源半導体装置は、図28に示されるように、図1に示した第1の実施形態の多電源半導体装置に対して、クロック生成回路10がクロック生成回路15に置き換えられ、また可変電源101の制御を行う電源制御回路141が図示されている。また、クロック生成回路15、電源制御回路141には、多電源半導体装置の現在の動作モードを示す動作モード信号105が入力されている。

【0128】

クロック生成回路15は、入力された動作モード信号105に応じて出力するクロック信号の周波数を制御する。電源制御回路141は、入力された動作モード信号105に応じて出力する可変電源101の電圧値を制御する。

【0129】

本実施形態の多電源半導体装置の動作を図29、図30のタイミングチャートを参照して説明する。

【0130】

図29は、動作モードがモードAからモードBに変化した場合の動作を示したものである。動作モード信号105がモードAからモードBに変化した場合、クロック生成回路15は出力するクロック信号の周波数を低下させ、電源制御回路141は、可変電源101の電圧を低下させる。この際に、クロック生成回路15は、可変電源101が電圧Aから電圧Bに低下する前にクロック周波数を低下させる。

【0131】

図30は、動作モードがモードBからモードAに変化した場合の動作を示したものである。動作モード信号105がモードBからモードAに変化した場合、クロック生成回路15は出力するクロック信号の周波数を増加させ、電源制御回路141は、可変電源101の電圧を増加させる。この際に、クロック生成回路15は、可変電源101が電圧Bから電圧Aに上昇した後にクロック周波数を増加させる。

【0132】

本実施形態の多電源半導体装置のように、動作モードに応じてクロック信号の周波数、可変電源101の電圧値を切り替えるような場合においても、可変遅延回路20が設けられていることにより、図29、図30に示すように電圧変動、周波数変動によるクロック信号の位相ずれを抑制してブロック31、32間のクロックスキューを抑制することが可能となる。

【0133】

なお、本実施形態において、図8に示した第3の実施形態のように、電圧変化検出回路90を設けるか、電圧変化検出信号を外部から入力することにより、周波数切り換えタイ

ミングを制御するようにしてもよい。この場合には、電源電圧遷移後に周波数切り換えが行われるようにすることにより、安定した動作を行うようにすることが可能となる。

【0134】

また、図31に示すように、可変電源101の電圧に応じて遅延量が増加する可変遅延回路20の代わりに動作モード信号105に応じて遅延量が増加する可変遅延回路23を用いて、動作モード信号105により遅延量を直接制御するようにすることも可能である。動作モードが決まれば、その動作モードにおける可変電源101の電圧値も一意に決まる。そのため、動作モード信号105を可変遅延回路23に直接入力することにより、遅延量の制御を行うことが可能となる。

【0135】

さらに、図32に示すように、動作モード信号105を入力とするモード変化検出回路151およびアンド回路91、92を設けて、電源電圧変化期間にクロック供給を停止するようにしてもよい。

【0136】

モード変化検出回路151は、内部にタイマを有していて、動作モード信号105により示される動作モードが変化したことを検出すると、タイマにより設定される一定期間だけクロック（CLK）制御信号106をLとする。アンド回路91、92は、モード変化検出回路151からのクロック制御信号106がHの場合には、クロック生成回路10からのクロック信号をブロック31、32のクロック回路41、42に供給し、クロック制御信号106がLになるとクロック生成回路10からのクロック信号がブロック回路31、32に供給されないように遮断する遮断手段として機能する。尚、遮断手段であるアンド回路91、92は、クロック制御信号106がLの間、クロック生成回路10からのクロック信号を遮断するものとして説明したが、モード変化検出回路151は、動作モードが変化したことを検出すると、クロック制御信号を所定の値とし、遮断手段は、クロック制御信号106が所定の値である間はクロック生成回路10からのクロック信号を遮断するようにすれば、遮断手段はアンド回路91、92に限られるものではない。

【0137】

このモード変化検出回路152が設けられた多電源半導体装置の動作を図33のタイミングチャートを参照して説明する。

【0138】

動作モード信号105がモードAからモードBに切り替わると、モード変化検出回路151は、クロック制御信号106をLとする（時刻 t_3 ）。そのため、アンド回路91、92は、クロック生成回路10からのクロック信号を遮断する。そして、電源制御回路141は、可変電源101を電圧Aから電圧Bに変化させ、クロック生成回路10は出力するクロック信号の周波数を変化させる。

【0139】

そして、一定時間の経過後、モード変化検出回路151は、クロック制御信号106をHとする（時刻 t_4 ）。その際には、既に可変電源101の電圧値は電圧Bとなり、クロック信号の周波数の切り替わり、可変遅延回路23の遅延量の変化も終了している。そのため、アンド回路91、92がブロック31、32へのクロック信号の供給を開始した際には、ブロック31、32には、周波数、電圧、位相の安定したクロック信号が供給されることとなる。

【0140】

このように、本実施形態では、動作モードに応じて可変遅延回路を制御しているので、いずれの動作モードにおいても容易に低スキューを実現可能となる。尚、動作モードに、チップ毎のばらつき情報、動作条件（温度、電源変動等）、等を加味することも可能である。

【0141】

（第10の実施形態）

次に、本発明の第10の実施形態の多電源半導体装置について説明する。上記で説明し

た第1から第9の実施形態の多電源半導体装置では、ブロック31、32とも可変電源101が供給されている場合であったが、本発明の第10の実施形態では、図34に示すように、ブロック31には電圧値の変化しない電源102が入力され、ブロック32には可変電源101が入力されている場合を用いて説明する。

【0142】

本実施形態の多電源半導体装置は、図34に示されるように、ブロック32には可変電源101が接続され、クロック生成回路10とブロック31との間に可変遅延回路24が設けられている。また、ブロック32の境界には、電源電圧が異なるブロック間で信号レベルの調整を行うレベルシフタ71～73が設けられている。可変遅延回路24は、電源電圧が低くなると遅延量が増加する遅延回路である。

【0143】

電源電圧が変化するとクロック回路41、42の遅延量は変化する。しかし、クロック回路41に入力されている電源1の電圧は変化しないため、クロック回路41の遅延量は一定である。ただし、クロック回路42には、可変電源101が入力されているため、可変電源101の電圧値の変化に伴い遅延量が増加する。例えば、図35に示すように、可変電源101が電圧Aから電圧Bに変化すると、遅延差ABだけクロック回路42の遅延量が大きくなる。

【0144】

そのため、電圧が下がると遅延量が増加する可変遅延回路24をクロック生成回路10とクロック回路41との間に設けることにより、クロック回路42の遅延量増加分を補償して、ブロック31、32間のクロックスキューが低減される。また、本実施形態のように、可変電源101の電源電圧に従い遅延回路24の遅延量を制御することで、レベルシフタ71～73を設けたことによるレベルシフト遅延変動を含む位相調整が実現される。

【0145】

図36に可変遅延回路24の具体例を示す。この図36に示された可変遅延回路24は、インバータのGND端子にnチャネルMOSトランジスタを追加し、nチャネルMOSトランジスタのゲート端子に可変電源101を接続した多段インバータにより構成される。この可変遅延回路24では、可変電源101が低下するとインバータ制御電流が制限され、遅延量が大きくなる。

【0146】

また、図37に可変遅延回路24の他の具体例を示す。この図37に示された可変遅延回路24は、pチャネルMOSトランジスタを介して容量を各段に接続した多段インバータにより構成される。この可変遅延回路24では、可変電源101が低下すると各インバータにとっては出力端子に接続された容量が大きくなり、遅延量が大きくなる。

【0147】

以下、本実施形態の多電源半導体装置の動作について図38のタイミングチャートを参照して説明する。

【0148】

最初の状態では、電源102は電圧A、可変電源101は電圧Aとなっているが、その後可変電源101が電圧Aから電圧Bに変化し始めたものとする。可変電源101の電圧値が低下するとブロック32内のクロック信号CLK2の振幅が小さくなり、位相が遅れる。しかし、クロック生成回路10とブロック31との間には、可変遅延回路24が設けられていることにより、クロック信号CLK1の位相調整が図られる。

【0149】

本実施形態においても、図28等にした第9の実施形態と同様に、動作モード信号105をクロック生成回路10に入力して、ブロック32のクロック周波数を変えるようにしてもよい。例えば、クロック周波数を半分にして、立上りエッジを合わせるようにしてもよい。

【0150】

また、図39に示すように、可変遅延回路24、25をクロック生成回路10とブロック31、32の間にそれぞれ設けるようにしてもよい。ここで、可変遅延回路25は、電源電圧が下がると遅延量が減少するような遅延回路とする。

【0151】

図40に可変遅延回路25の具体例を示す。この図40に示された可変遅延回路25は、インバータの電源端子にpチャネルMOSトランジスタを2ヶ追加し、一方のpチャネルMOSトランジスタのゲート端子をGNDに接続し、もう一方のゲート端子を可変電源入力101に接続した多段インバータにより構成される。このような構成の可変遅延回路25では、可変電源101の電圧が低下するとインバータ制御電流が増加して、遅延量が小さくなる。

【0152】

また、図41に可変遅延回路25の他の具体例を示す。この図41に示された可変遅延回路25は、pチャネルMOSトランジスタを介して容量を各段に接続した多段インバータにより構成される。このような構成の可変遅延回路25では、可変電源101の電圧が低下すると各インバータに対して容量が小さく見え、遅延量が小さくなる。図36、37に示した可変遅延回路24と反対の電圧依存特性を持たせることにより可変遅延回路の効率的な適用が図れる。

【0153】

(第11の実施形態)

次に、本発明の第11の実施形態の多電源半導体装置について説明する。上記第10の実施形態では、ブロック31に変化しない電源102が入力され、ブロック32に可変電源101が入力されていない場合に、可変遅延回路を用いてクロックスキューの抑制を行うようにしたものであった。本実施形態では、このような構成の場合に、図22に示した位相同期回路131、132を用いて位相の調整を行いブロック31、32間のクロックスキューの低減を図るようにしたものである。

【0154】

本実施形態の多電源半導体装置の構成を図42に示す。本実施形態の多電源半導体装置は、図34に示した第10の実施形態の多電源半導体装置に対して、可変遅延回路24の代わりに、位相同期回路131、132および可変遅延回路26を設けたものである。また、ブロック32と他の回路との入出力には、電源電圧が異なるブロック間で信号レベルの調整を行うレベルシフタ71～74が設けられている。

【0155】

可変遅延回路26は、レベルシフタ71～74の遅延変動が問題となる場合に、この遅延変動の補償用に設けたものである。このように、本実施形態では、位相同期回路131、132により電源変動による遅延量の変動を補償することにより、1つ以上のブロックの電源系が異なる動作モードにおいても低スキューを実現することができる。

(第12の実施形態)

次に、本発明の第12の実施形態の多電源半導体装置について説明する。本実施形態の多電源半導体装置は、可変電源101が供給されるブロックが2つ以上の場合である。本実施形態の多電源半導体装置は、図43に示すように、ブロック31、32に可変電源入力101が接続され、クロック生成回路10とブロック31との間に可変遅延回路27が設けられ、クロック生成回路10とブロック32との間に可変遅延回路28が設けられている。また、可変電源入力101が供給されるブロック31、32とそれ以外の回路との境界にレベルシフタ71、75が設けられている。

【0156】

(第13の実施形態)

次に、本発明の第13の実施形態の多電源半導体装置について説明する。本実施形態の多電源半導体装置は、可変電源101が供給されるブロックが2つ以上で、これらのブロックと、変化しない電源102が供給されるブロックとが信号接続されている場合である。本実施形態の多電源半導体装置は、図44に示すように、ブロック31、32に可変電

源 101 が接続され、ブロック 33 に電源 102 が接続されている。そして、クロック生成回路 10 とブロック 31、32、33 との間に、それぞれ可変遅延回路 27、28、29 が設けられている。また、可変電源 101 が供給されているブロック 31、32 とブロック 33 等のそれ以外の回路との境界にレベルシフタ 71、75、76 が設けられている。

【0157】

(第 14 の実施形態)

次に、本発明の第 14 の実施形態の多電源半導体装置について説明する。上記第 1 から第 13 の実施形態では、多電源半導体装置が複数のブロックにより構成されている場合に、ブロック間のクロックスキューを低減するものであったが、本実施形態の多電源半導体装置は、他の半導体装置との間におけるクロックスキューを低減するものである。

【0158】

本実施形態の多電源半導体装置は、図 45 に示されるように、クロック生成回路 10 と、可変遅延回路 20 と、クロック回路 41 と、フリップフロップ回路 51、52 とを備えている。そして、他の半導体装置との間で、レベルシフタ 72、73 を介して信号の入出力を行っている。また、この多電源半導体装置には、可変電源 101 が供給されている。

【0159】

このような構成の多電源半導体装置の場合でも、可変遅延回路 20 が可変電源 101 の電圧値の応じて遅延量を変化させることにより、他の半導体装置との間でクロックスキューの低減を図ることが可能となる。

【0160】

なお、本発明が上記各実施形態に限定されず、本発明の技術思想の範囲内において、各実施形態は適宜変更され得ることは明らかである。例えば、上記第 1 から第 14 の実施形態では、説明を簡単にするために多電源半導体装置を構成するブロック数を 2 とし、可変電源、変化しない電源が 1 系統の場合について説明したが、本発明はこのような場合に限定されるものではなく、ブロック数が 3 以上の場合、および可変電源、変化しない電源が 2 系統以上存在するような構成の場合についても同様に適用することができるものである。

【0161】

さらに、上記各実施形態では、ブロック 31、32 等以外の回路については特に供給される電源について示されていない場合があるが、多電源半導体装置に供給される電源が 1 系統の可変電源 101 のみである場合には、クロック生成回路 10 等には可変電源 101 が供給されることとなる。

【図面の簡単な説明】

【0162】

【図 1】 本発明の第 1 の実施形態の多電源半導体装置の構成を示すブロック図である。

【図 2】 図 1 中の可変遅延回路 20 の具体的な構成の一例を示す図である。

【図 3】 可変遅延回路 20 を構成する各インバータの一例を示す回路図である。

【図 4】 可変遅延回路 20 を構成する各インバータの他の例を示す回路図である。

【図 5】 図 1 中の可変遅延回路の電源電圧—クロック回路遅延特性を示す図である。

【図 6】 本発明の第 1 の実施形態の多電源半導体装置における各クロック回路 41、42 の動作を示すタイミングチャートである。

【図 7】 本発明の第 2 の実施形態の多電源半導体装置の構成を示すブロック図である。

【図 8】 本発明の第 3 の実施形態の多電源半導体装置の構成を示すブロック図である。

【図 9】 図 8 中の電圧変化検出回路 90 の構成を示すブロック図である。

【図 10】 図 8 中の電圧変化検出回路の動作を示すタイミングチャートである。

【図 11】 本発明の第 4 の実施形態の多電源半導体装置の構成を示すブロック図であ

る。

【図 1 2】図 1 1 中の電圧レベル検出回路 9 6 の一例を示す図である。

【図 1 3】図 1 1 中の可変遅延回路 2 2 の構成の一例を示す図である。

【図 1 4】図 1 1 中の可変遅延回路 2 2 の構成の他の例を示す図である。

【図 1 5】図 1 1 中の電圧レベル検出回路 9 6 の他の例を示す図である。

【図 1 6】図 1 1 中の可変遅延回路 2 2 の構成の他の例を示す図である。

【図 1 7】本発明の第 5 の実施形態の多電源半導体装置の構成を示すブロック図である。

【図 1 8】本発明の第 5 の実施形態の多電源半導体装置の動作を説明するためのタイミングチャートである。

【図 1 9】本発明の第 6 の実施形態の多電源半導体装置の構成を示すブロック図である。

【図 2 0】図 1 9 中の電圧下限検出回路 1 1 0 の構成を示すブロック図である。

【図 2 1】本発明の第 5 の実施形態の多電源半導体装置の動作を説明するためのタイミングチャートである。

【図 2 2】本発明の第 7 の実施形態の多電源半導体装置の構成を示すブロック図である。

【図 2 3】図 2 2 中の位相同期回路 1 3 1、1 3 2 の具体例を示す図である。

【図 2 4】図 2 2 中の位相同期回路 1 3 1、1 3 2 の他の具体例を示す図である。

【図 2 5】本発明の第 7 の実施形態の多電源半導体装置の動作を説明するためのタイミングチャートである。

【図 2 6】本発明の第 8 の実施形態の多電源半導体装置の構成を示すブロック図である。

【図 2 7】本発明の第 8 の実施形態の多電源半導体装置の動作を説明するためのタイミングチャートである。

【図 2 8】本発明の第 9 の実施形態の多電源半導体装置の構成を示すブロック図である。

【図 2 9】本発明の第 8 の実施形態の多電源半導体装置において、動作モードがモード A からモード B に切り替わる際の動作を説明するためのタイミングチャートである。

【図 3 0】本発明の第 8 の実施形態の多電源半導体装置において、動作モードがモード B からモード A に切り替わる際の動作を説明するためのタイミングチャートである。

【図 3 1】本発明の第 9 の実施形態の多電源半導体装置の他の構成を示すブロック図である。

【図 3 2】本発明の第 9 の実施形態の多電源半導体装置のさらに他の構成を示すブロック図である。

【図 3 3】図 3 2 に示した本発明の第 9 の実施形態の多電源半導体装置の動作を説明するためのタイミングチャートである。

【図 3 4】本発明の第 1 0 の実施形態の多電源半導体装置の構成を示すブロック図である。

【図 3 5】クロック回路の遅延量の電源電圧依存性を示す図である。

【図 3 6】図 3 4 中の可変遅延回路 2 4 の具体例を示す図である。

【図 3 7】図 3 4 中の可変遅延回路 2 4 の他の具体例を示す図である。

【図 3 8】本発明の第 1 0 の実施形態の多電源半導体装置の動作を説明するためのタイミングチャートである。

【図 3 9】本発明の第 1 0 の実施形態の多電源半導体装置の他の構成を示すブロック図である。

【図 4 0】図 3 9 中の可変遅延回路 2 5 の具体例を示す図である。

【図 4 1】図 3 9 中の可変遅延回路 2 5 の他の具体例を示す図である。

【図 4 2】本発明の第 1 1 の実施形態の多電源半導体装置の他の構成を示すブロック図である。

【図 4 3】本発明の第 1 2 の実施形態の多電源半導体装置の他の構成を示すブロック図である。

【図 4 4】本発明の第 1 3 の実施形態の多電源半導体装置の他の構成を示すブロック図である。

【図 4 5】本発明の第 1 4 の実施形態の多電源半導体装置の他の構成を示すブロック図である。

【図 4 6】従来の多電源半導体装置の構成を示すブロック図である。

【図 4 7】クロック回路 4 1、4 2 の遅延量の電源電圧依存性を示す図である。

【図 4 8】従来の多電源半導体装置におけるクロック回路 4 1、4 2 の動作を示すタイミングチャートである。

【図 4 9】従来の他の多電源半導体装置の構成を示すブロック図である。

【図 5 0】従来の他の多電源半導体装置におけるクロック回路 4 1、4 2 の動作を示すタイミングチャートである。

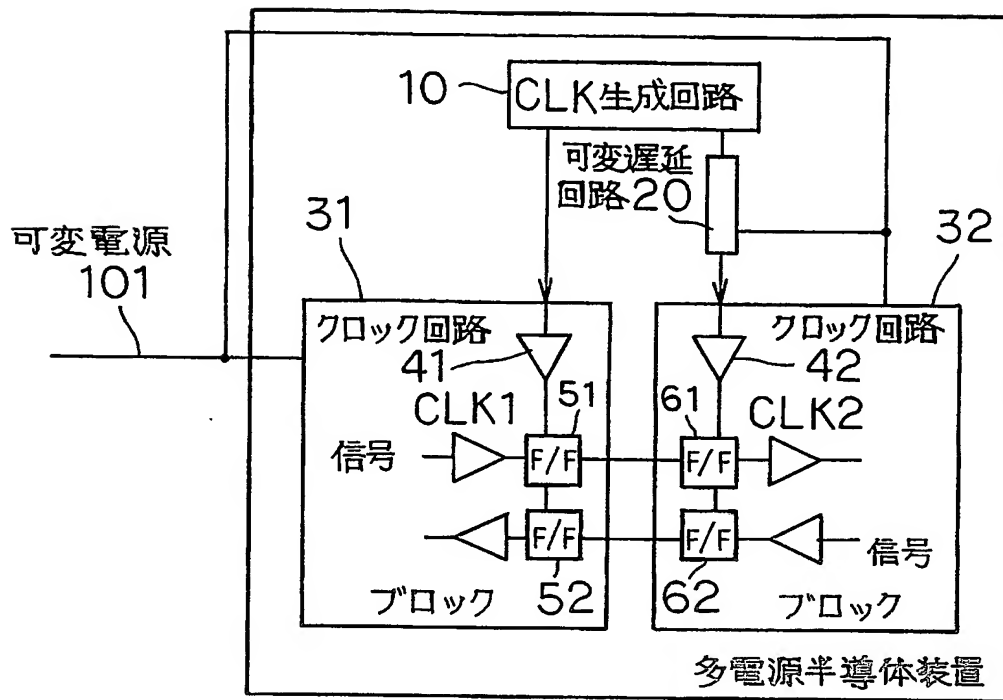
【符号の説明】

【0163】

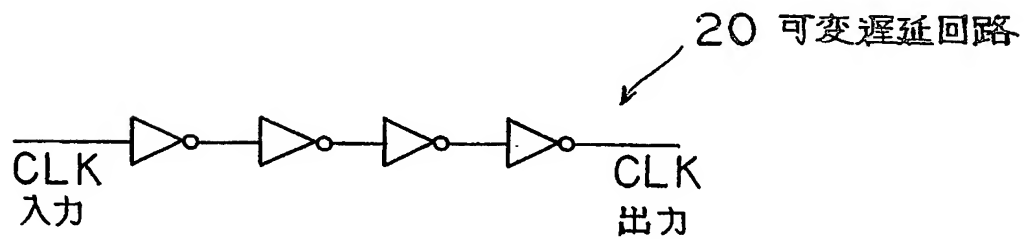
- 10 クロック (CLK) 生成回路
- 11、12 アンド回路
- 13、14 バッファ回路
- 15 クロック (CLK) 生成回路
- 20～26 可変遅延回路
- 31、32 ブロック
- 41、42 クロック回路
- 51、52 フリップフロップ回路 (F/F)
- 61、62 フリップフロップ回路 (F/F)
- 71～76 レベルシフト
- 81 PチャネルMOSトランジスタ
- 82 NチャネルMOSトランジスタ
- 90 電圧変化検出回路
- 91、92 アンド回路
- 93 A/D変換回路
- 94 フリップフロップ回路 (F/F)
- 95 比較器
- 96 電圧レベル検出回路
- 97、97₁、97₂ 遅延ゲート
- 98、98₁、98₂ セレクタ
- 99 遅延ゲート
- 100 セレクタ
- 101 可変電源
- 102 電源
- 103 電圧レベル検出信号
- 104 電源制御信号
- 105 動作モード信号
- 106 クロック (CLK) 制御信号
- 110 電圧下限検出回路
- 111 電源制御回路
- 112～114 遅延回路
- 115 インバータ
- 116、117 フリップフロップ回路 (F/F)

1 2 0 遅延回路
1 3 1、1 3 2 位相同期回路
1 4 1 電源制御回路
1 5 1 モード変化検出回路

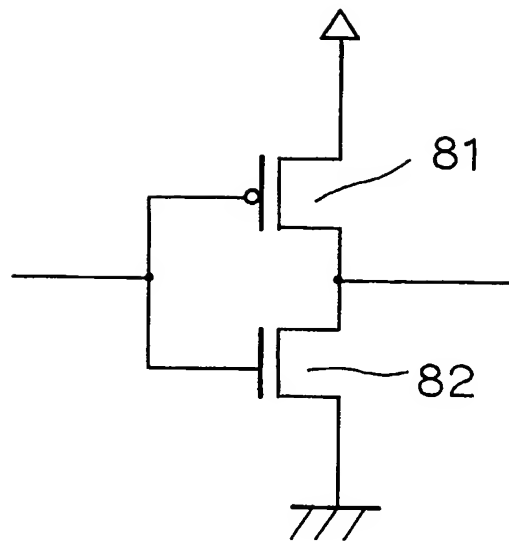
【書類名】 図面
【図 1】



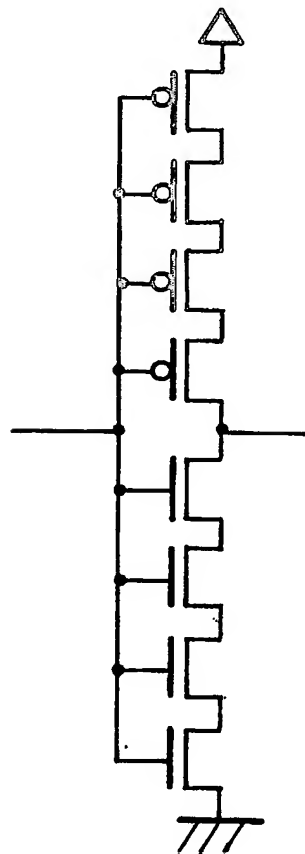
【図 2】



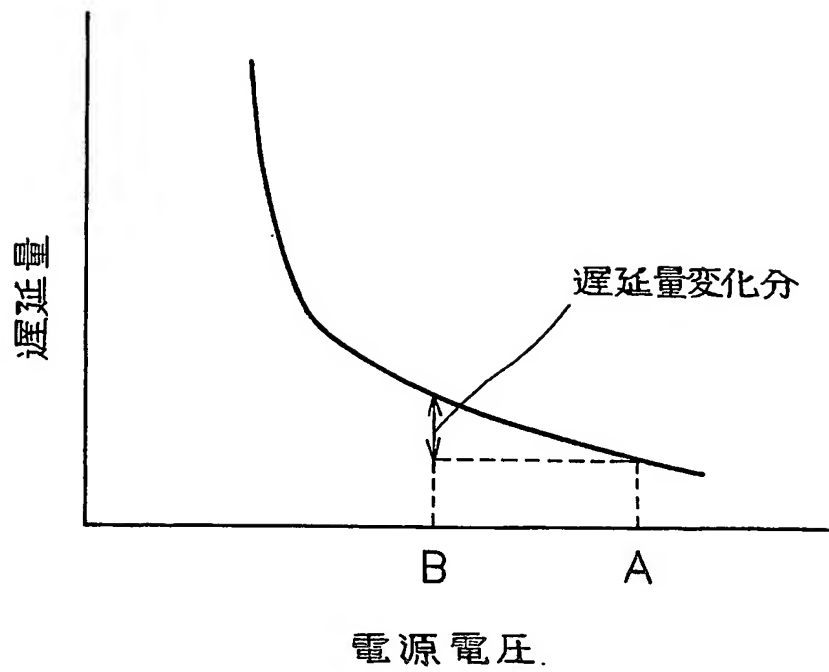
【図 3】



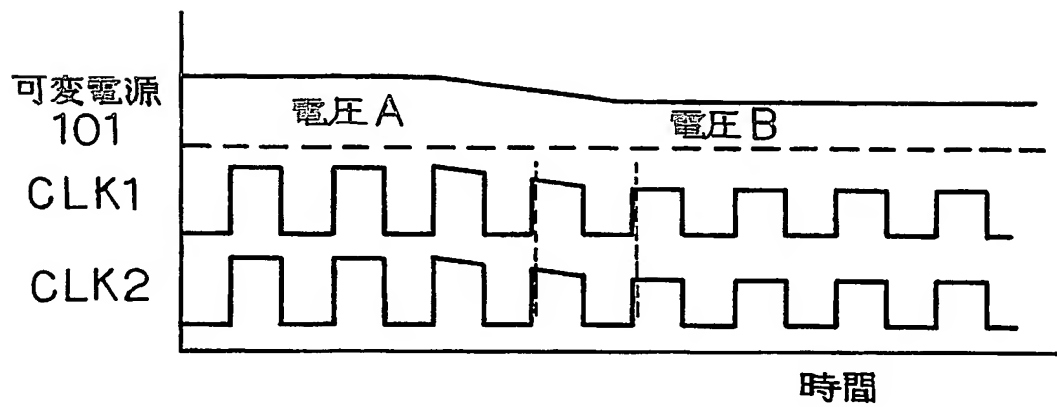
【図 4】



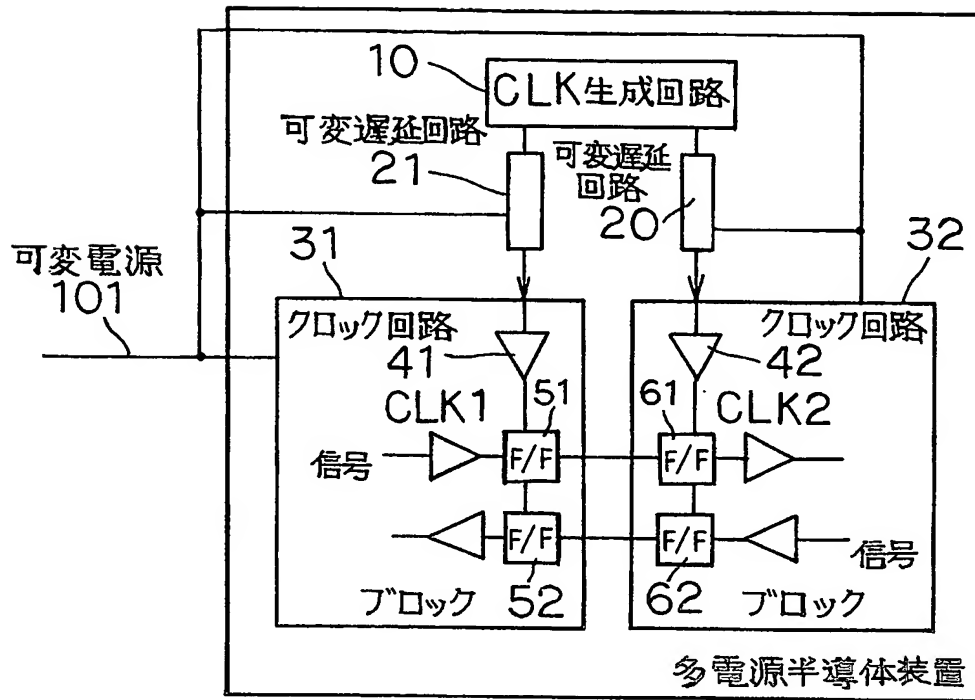
【図 5】



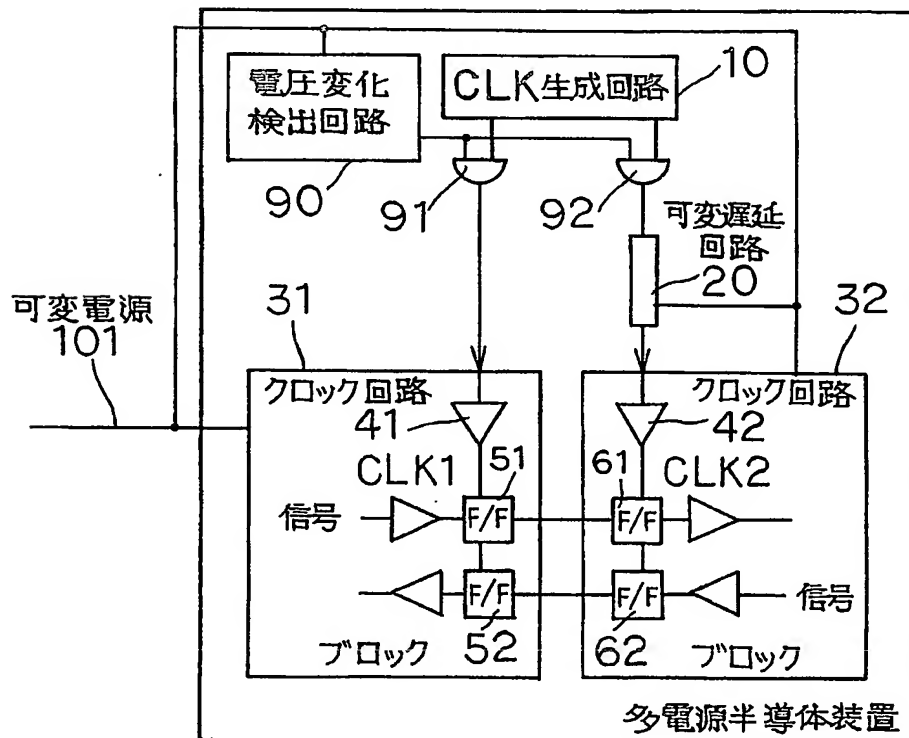
【図 6】



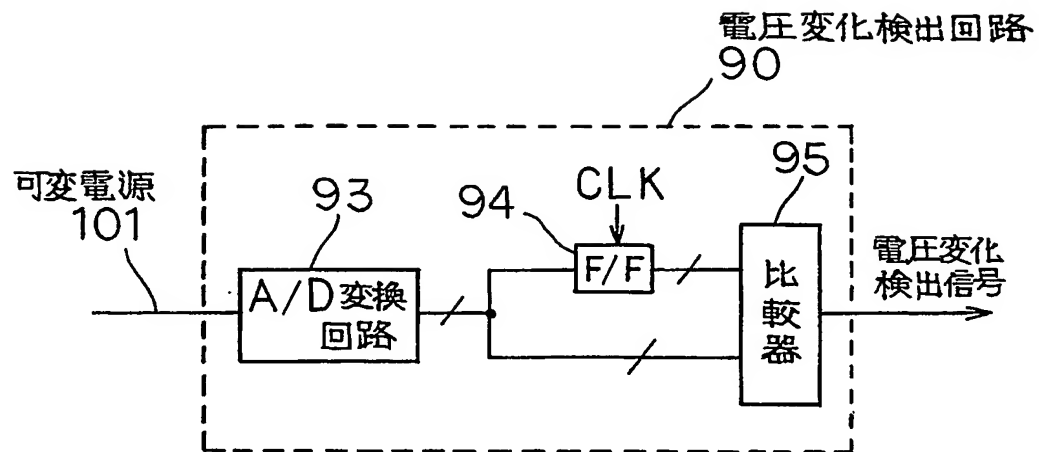
【図 7】



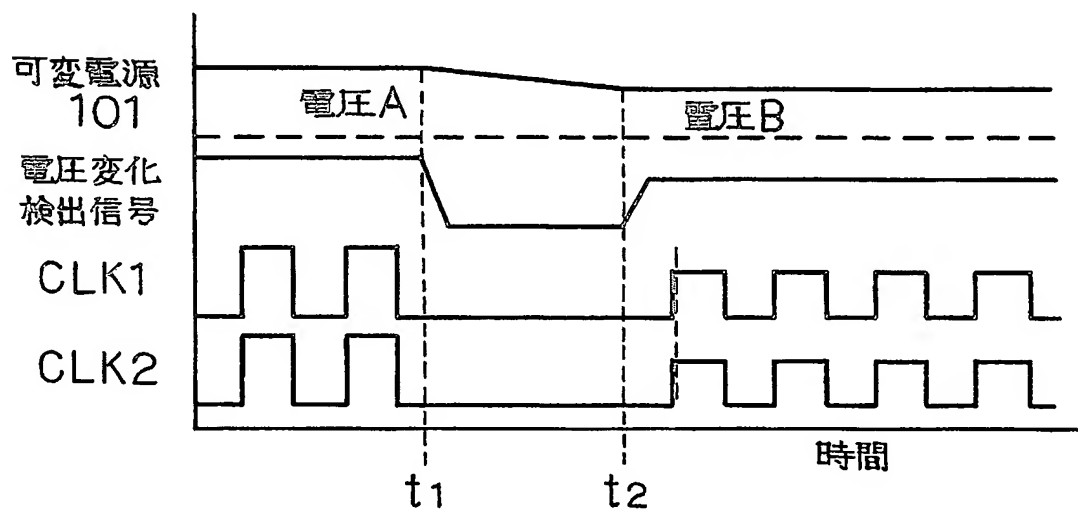
【図 8】



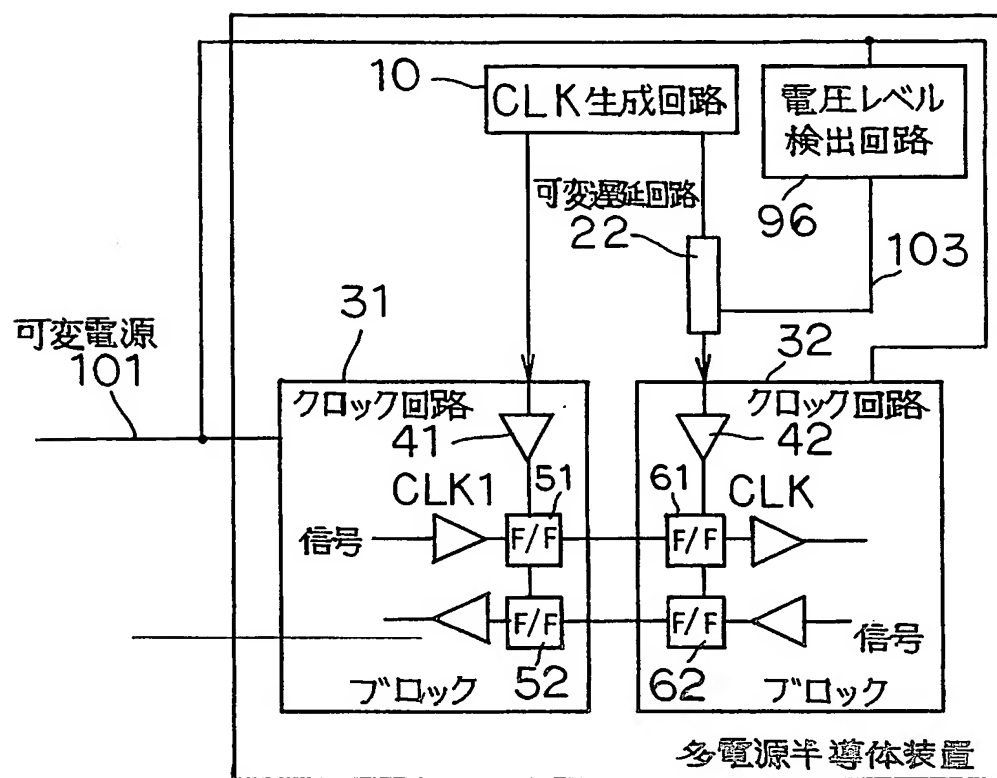
【図 9】



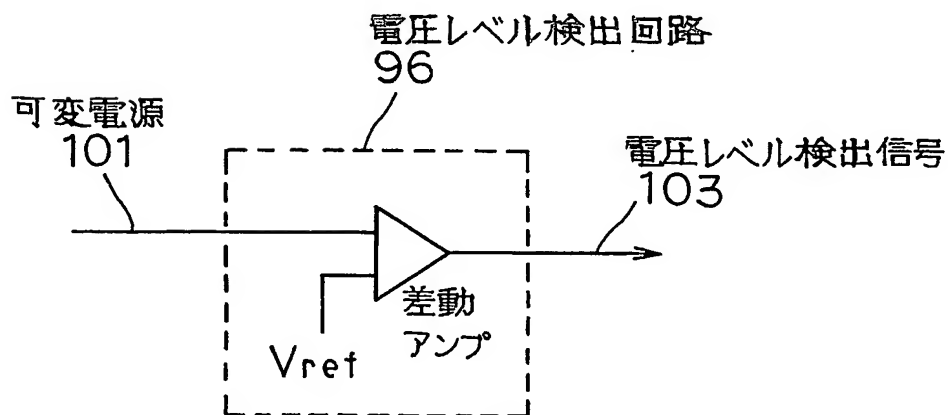
【図 10】



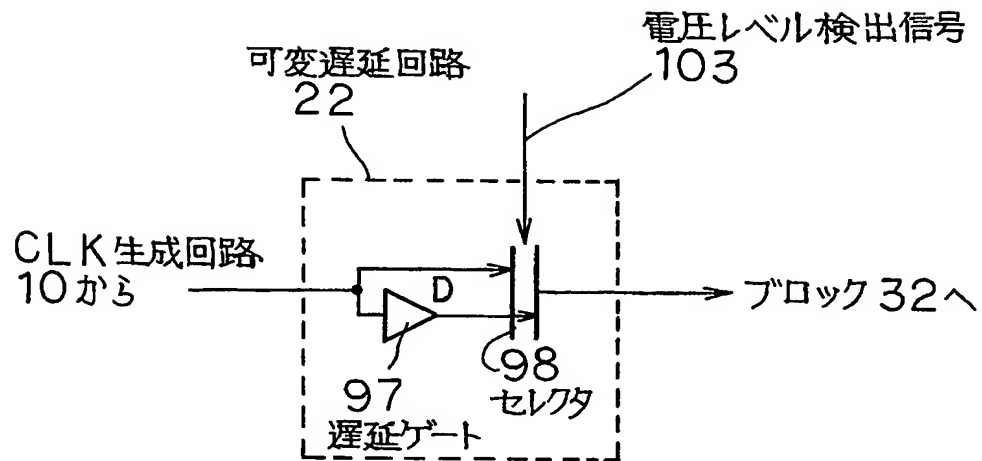
【図 11】



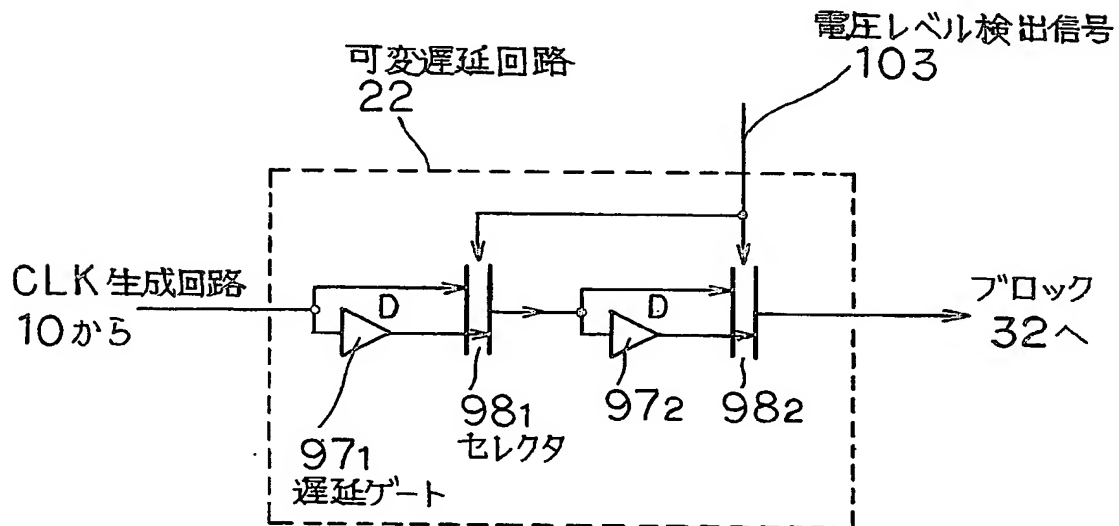
【図 12】



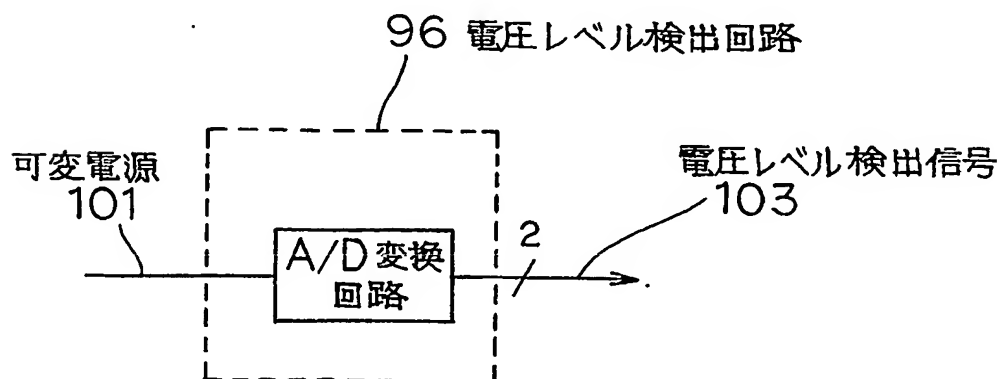
【図 13】



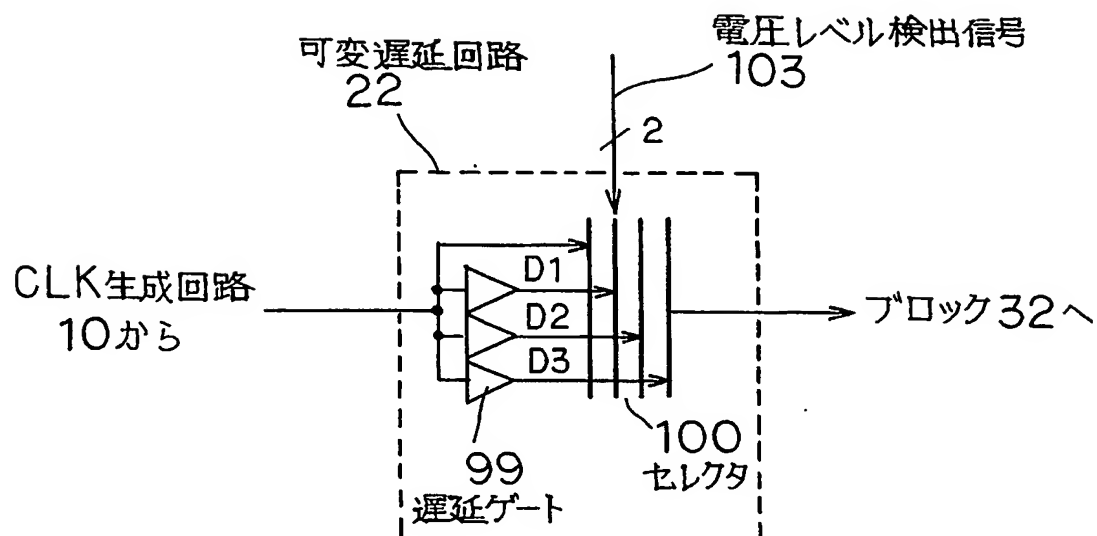
【図 14】



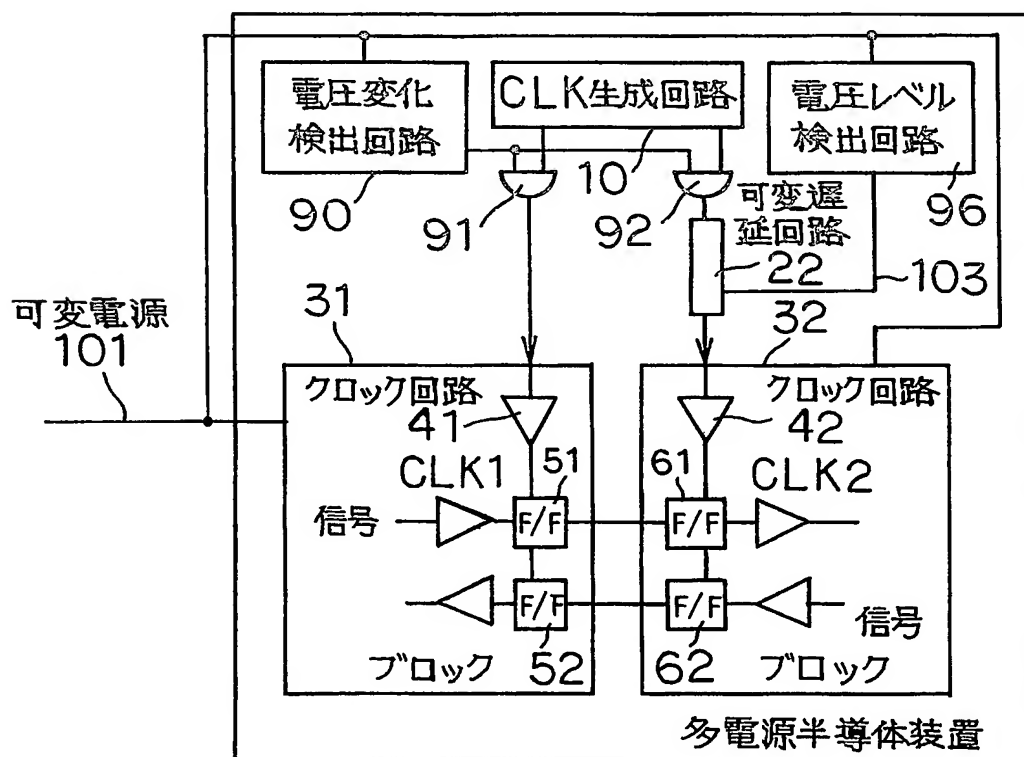
【図 15】



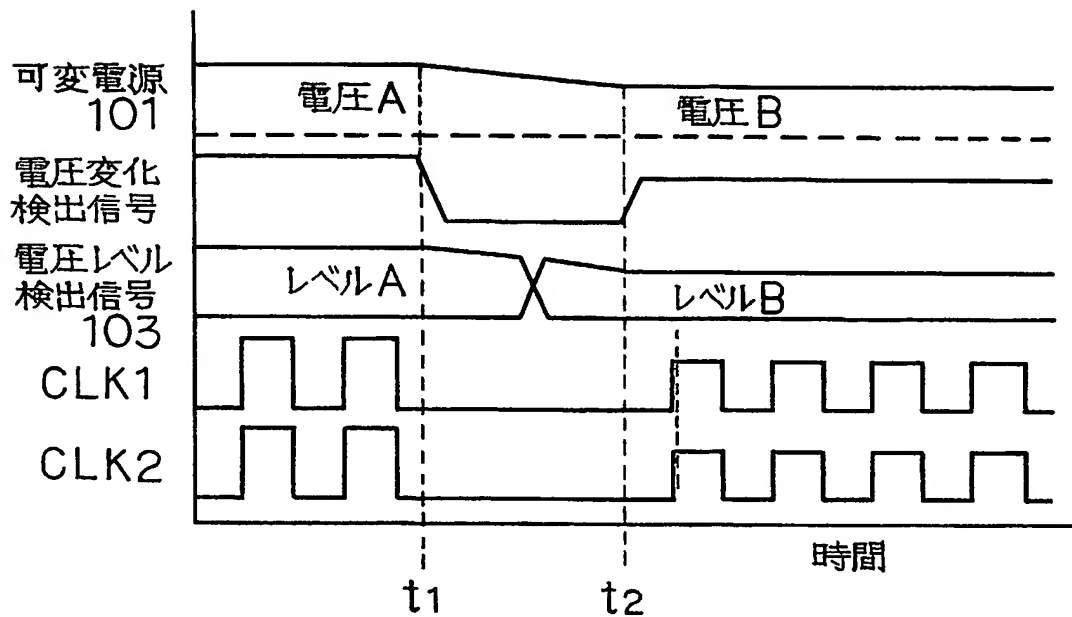
【図 16】



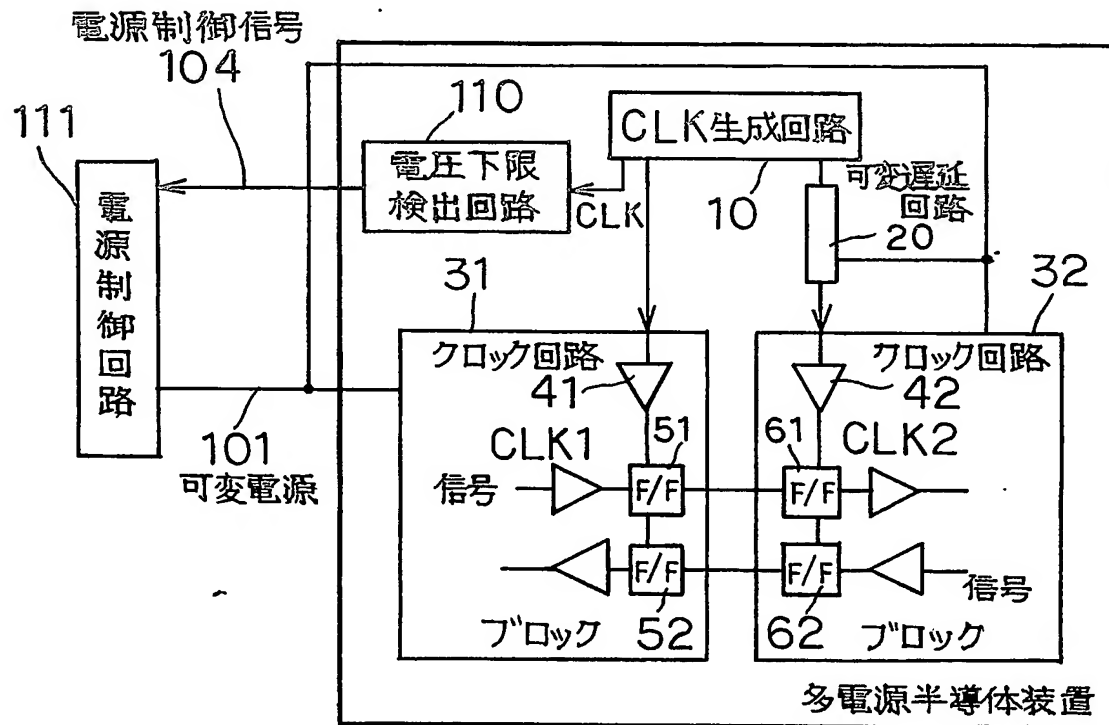
【図 17】



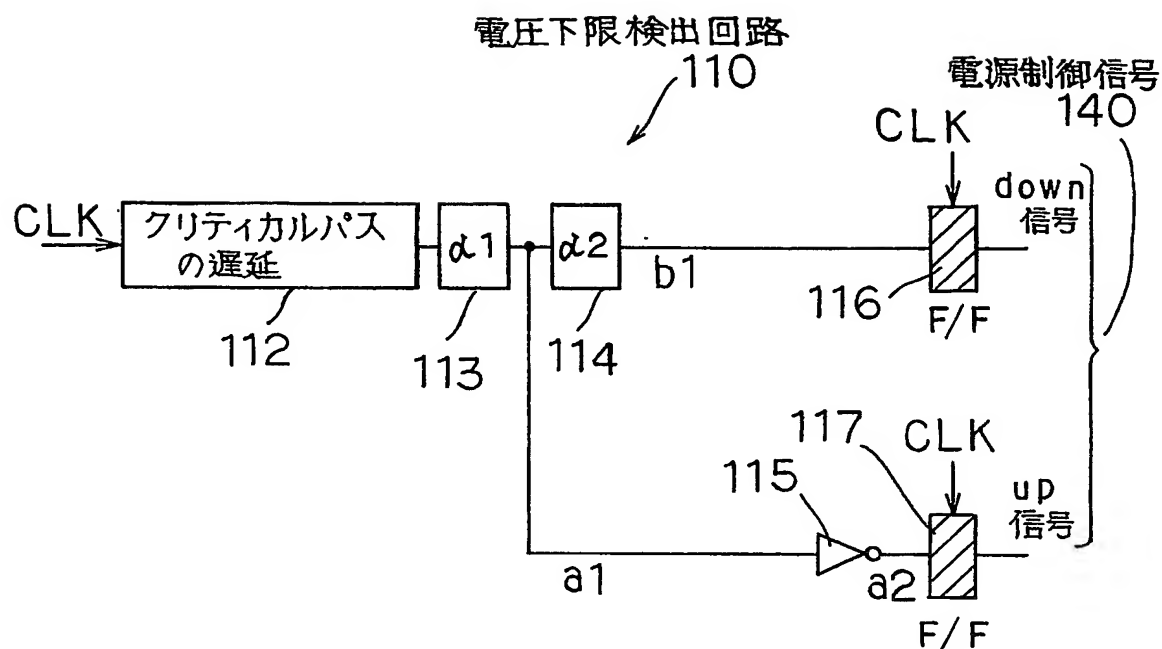
【図18】



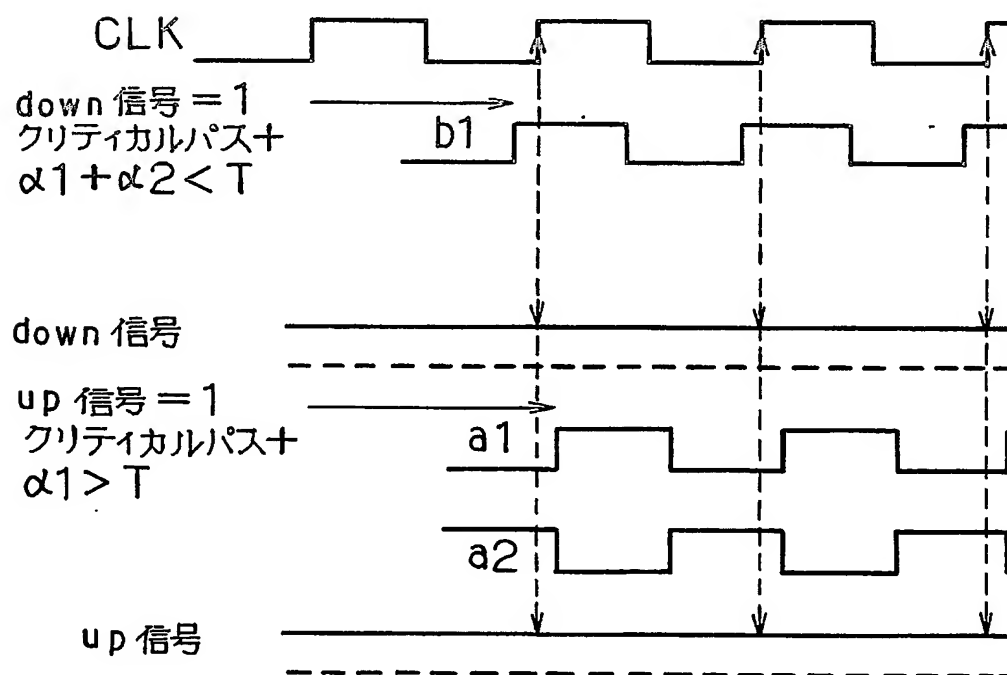
【図19】



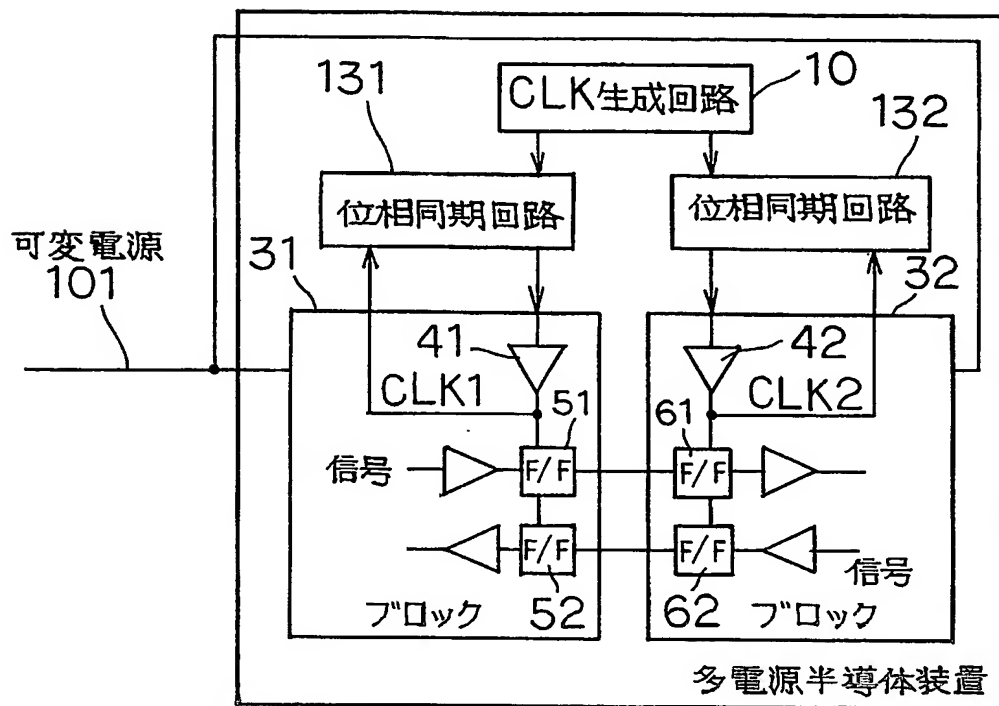
【図 20】



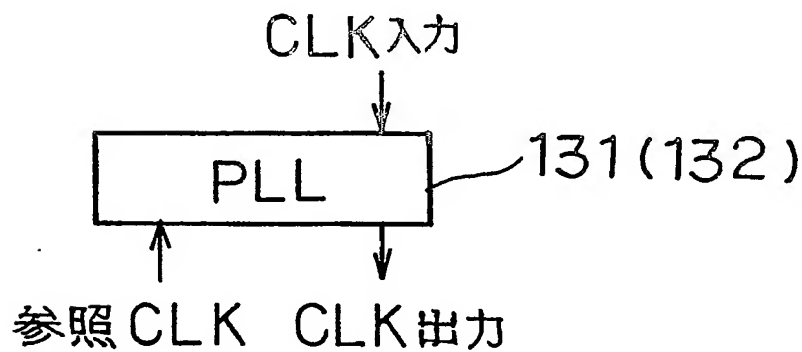
【図 21】



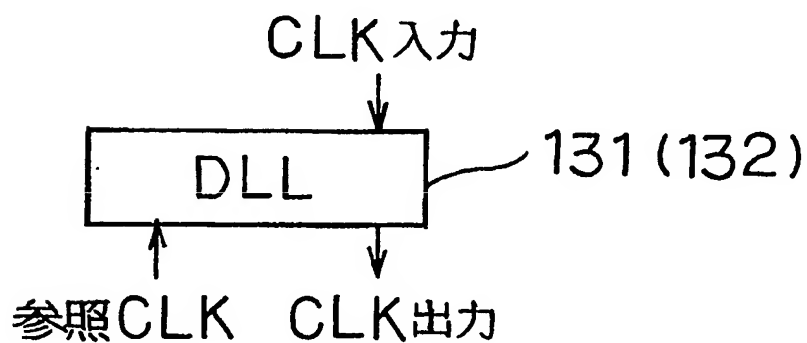
【図 2 2】



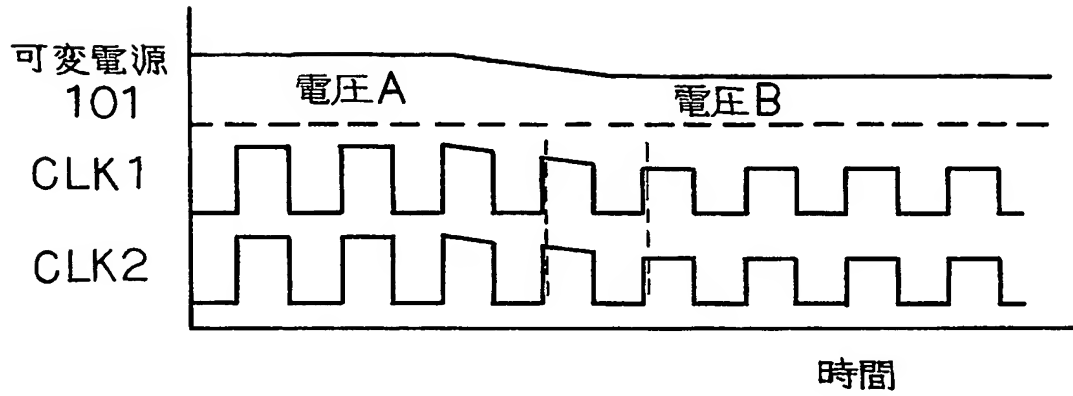
【図 2 3】



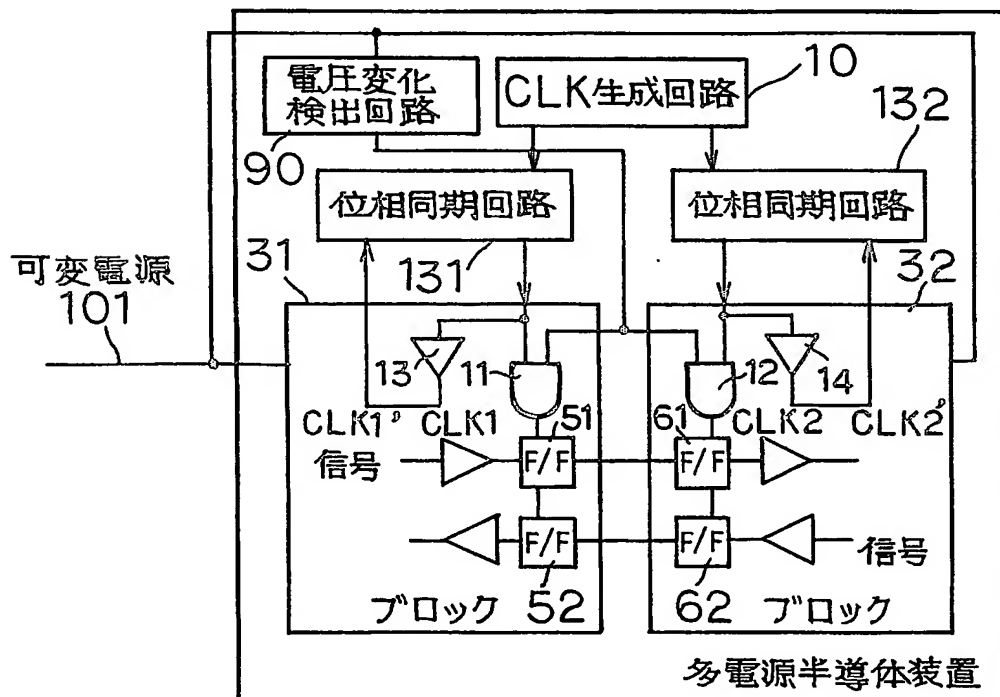
【図 2 4】



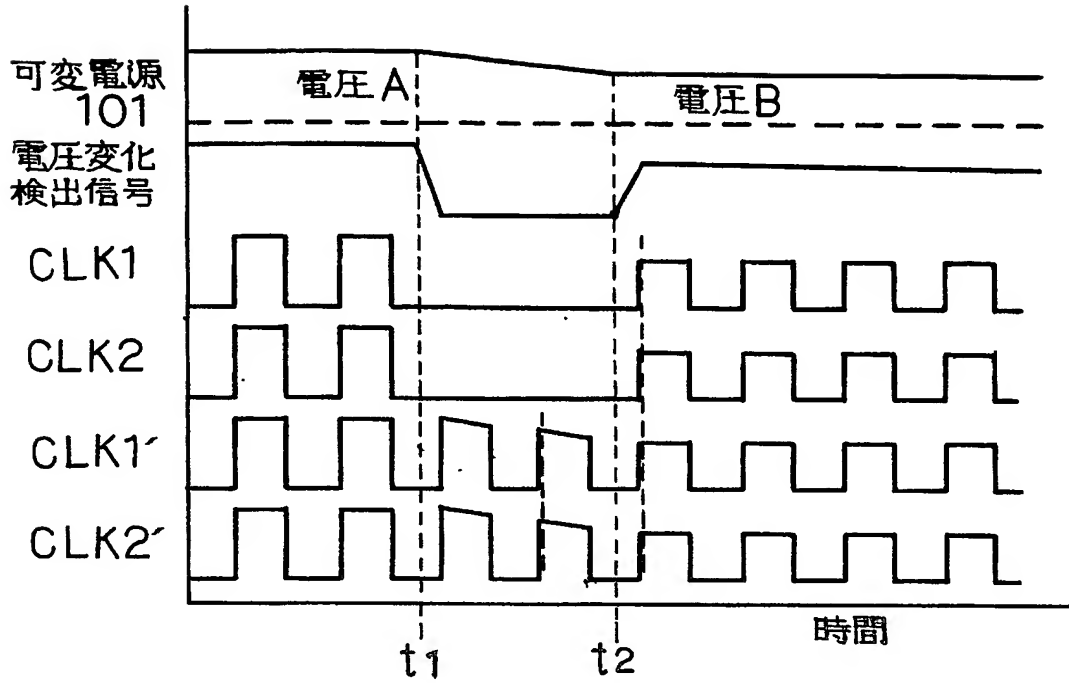
【図 25】



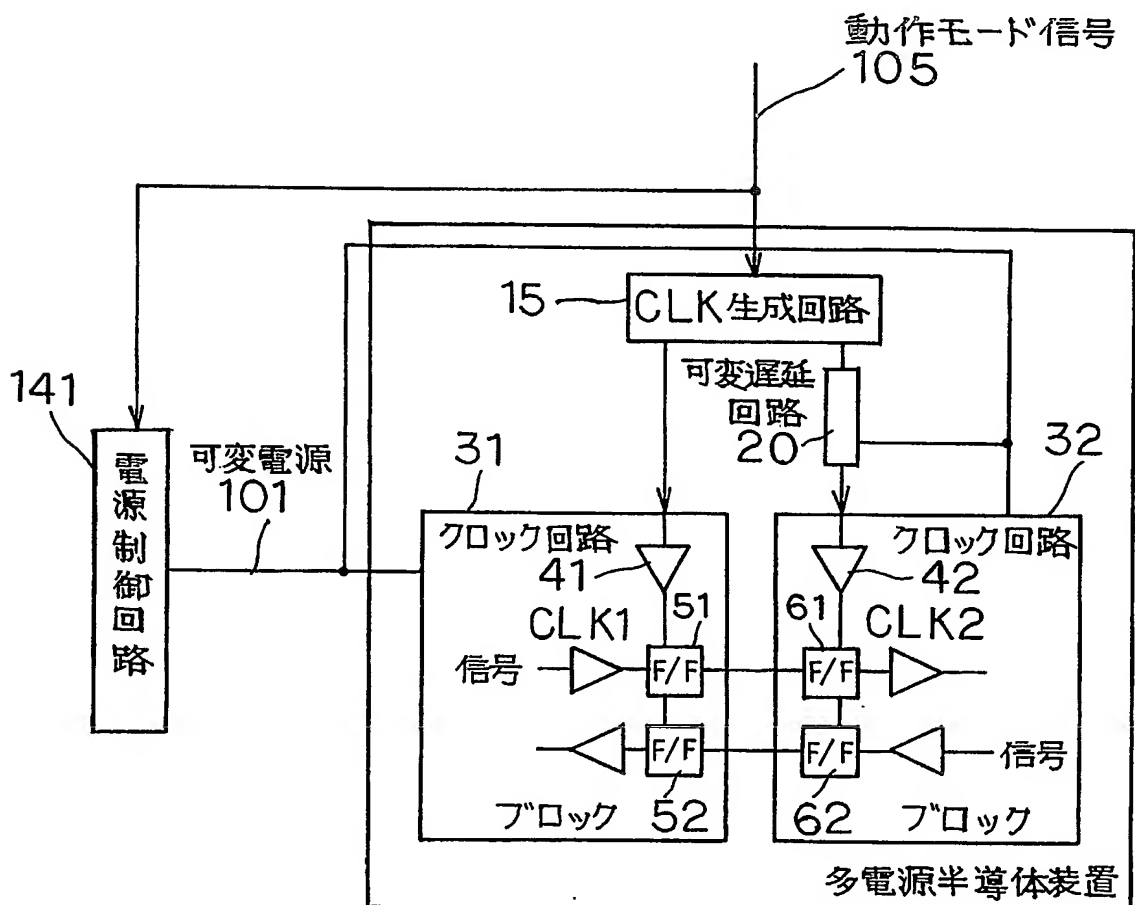
【図 26】



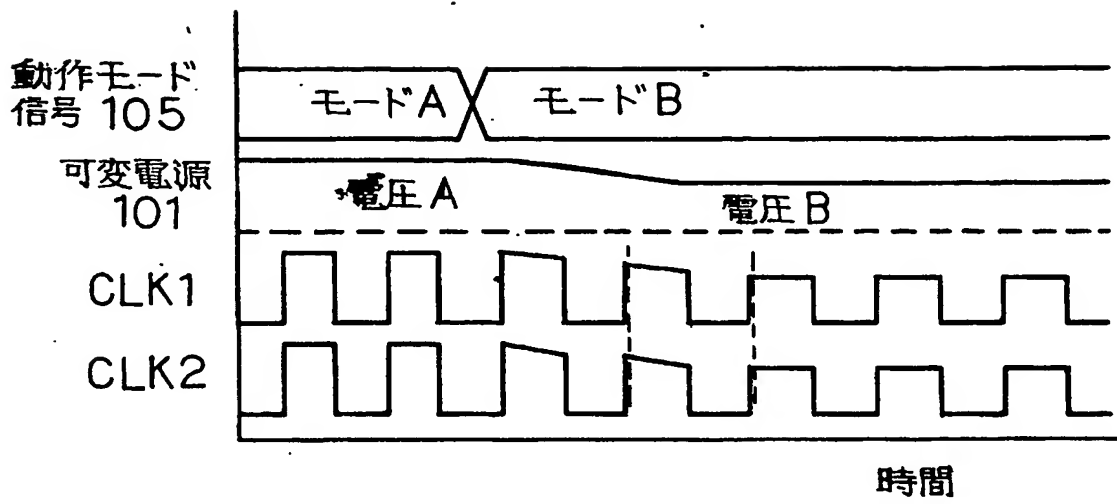
【図 27】



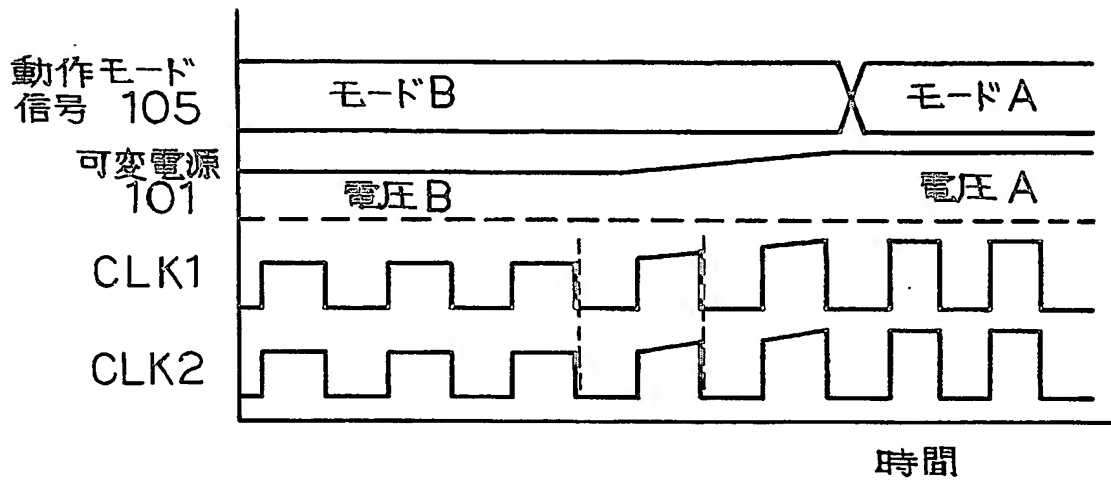
【図 28】



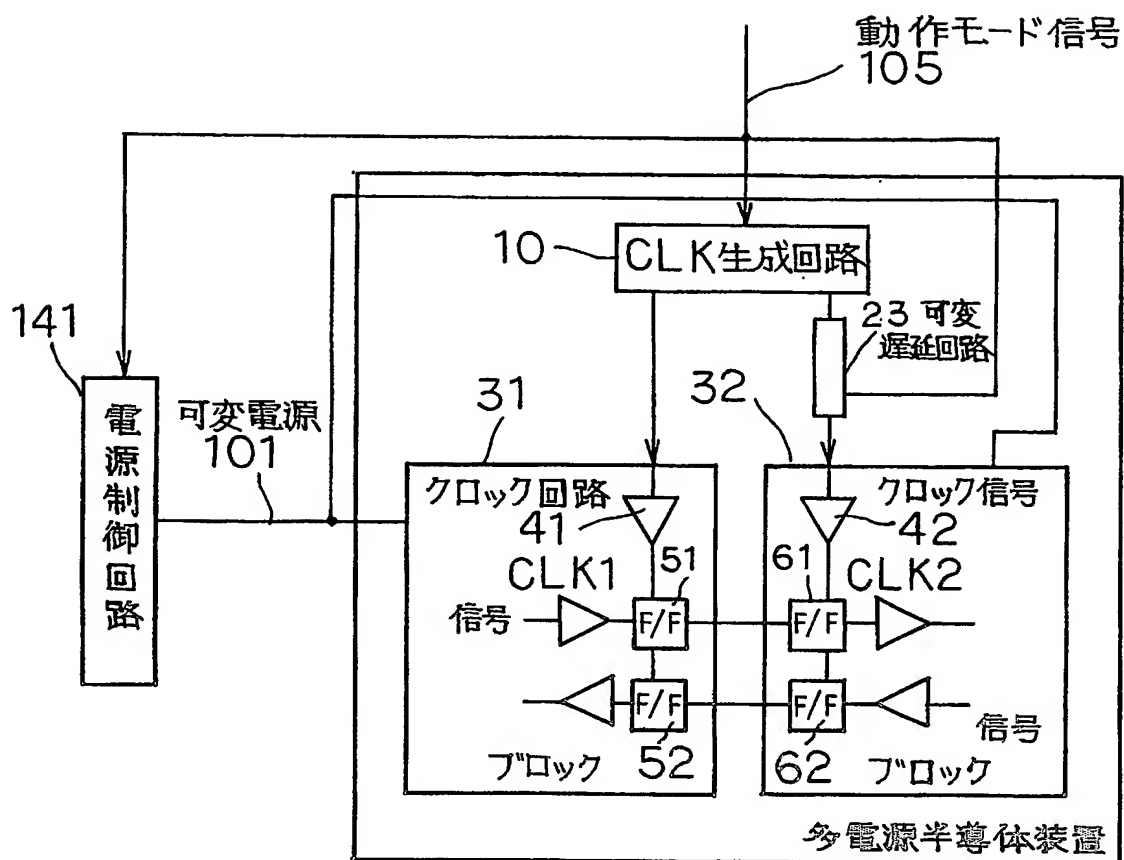
【図 29】



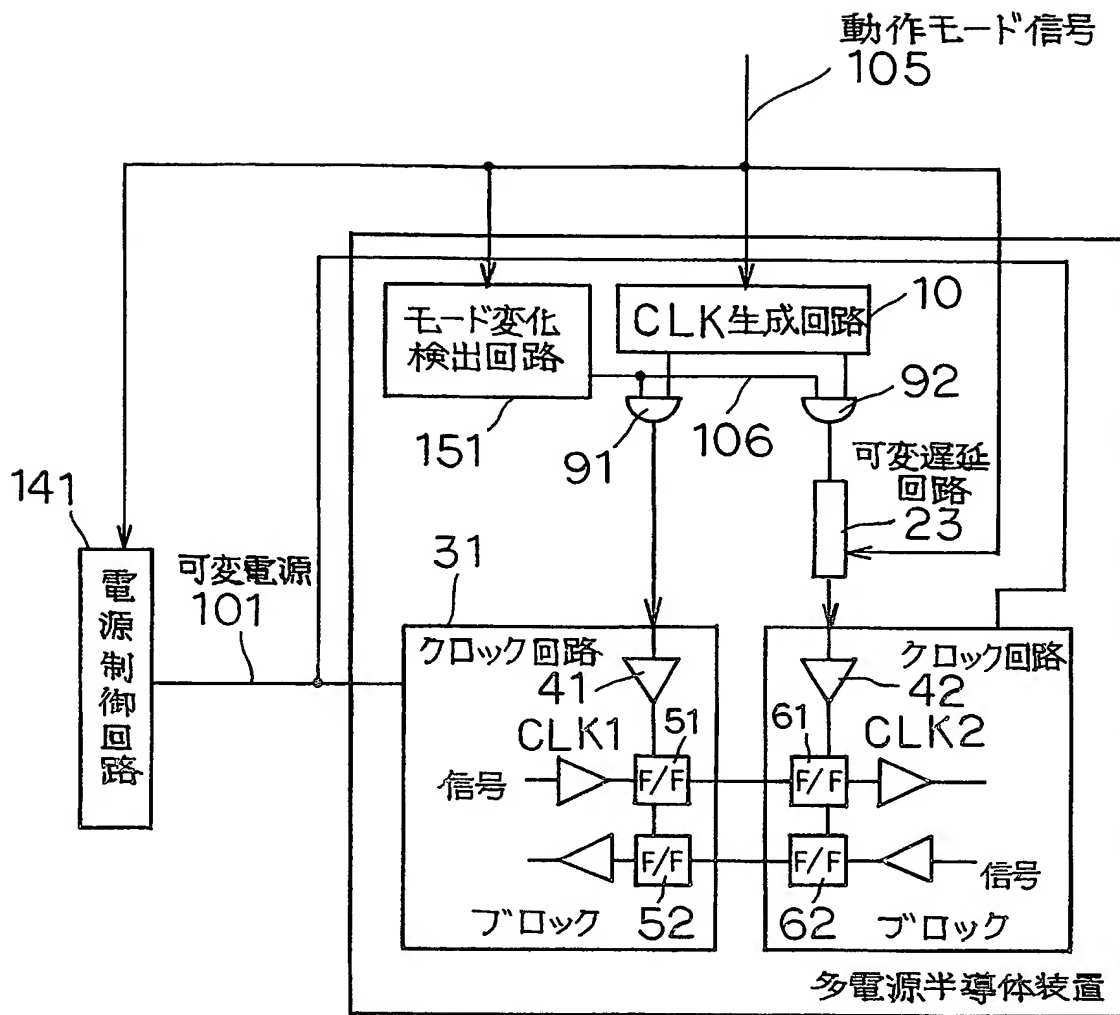
【図 30】



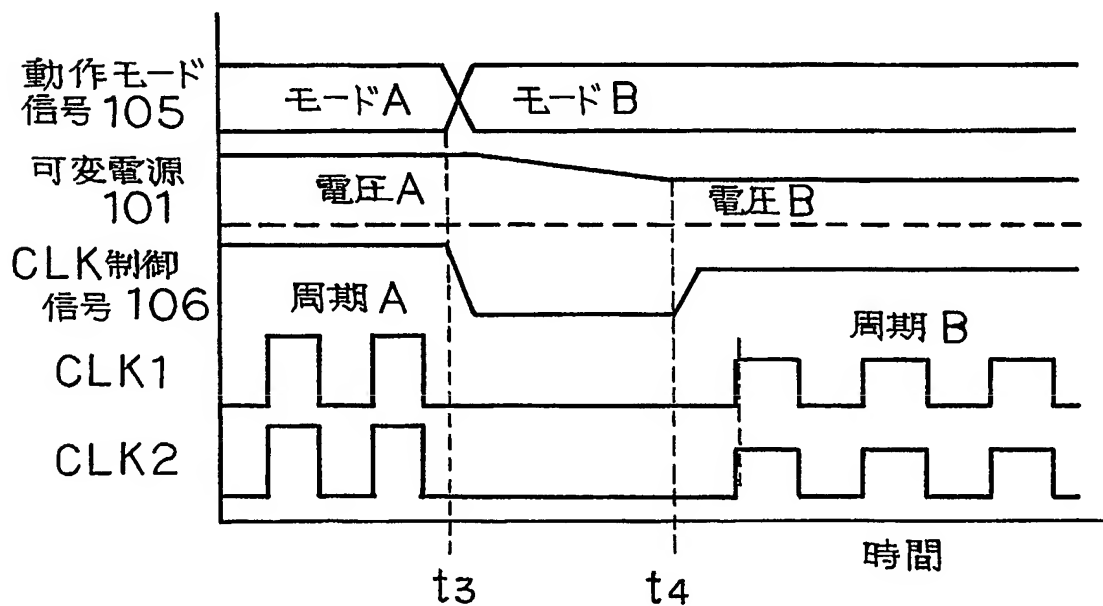
【図 31】



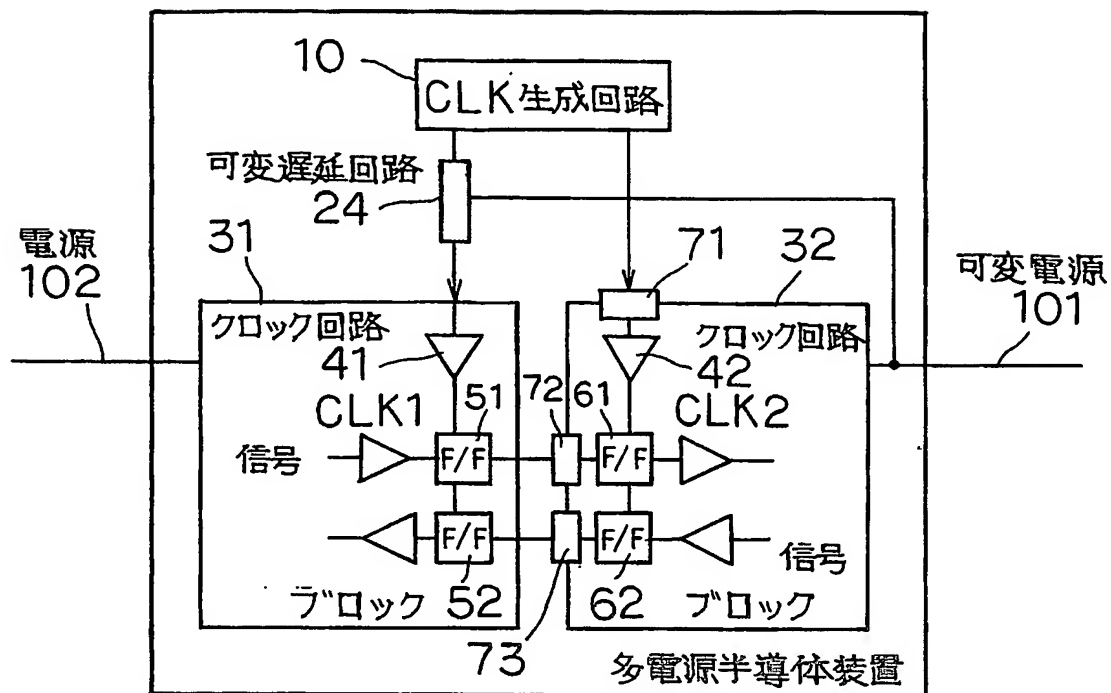
【図 3 2】



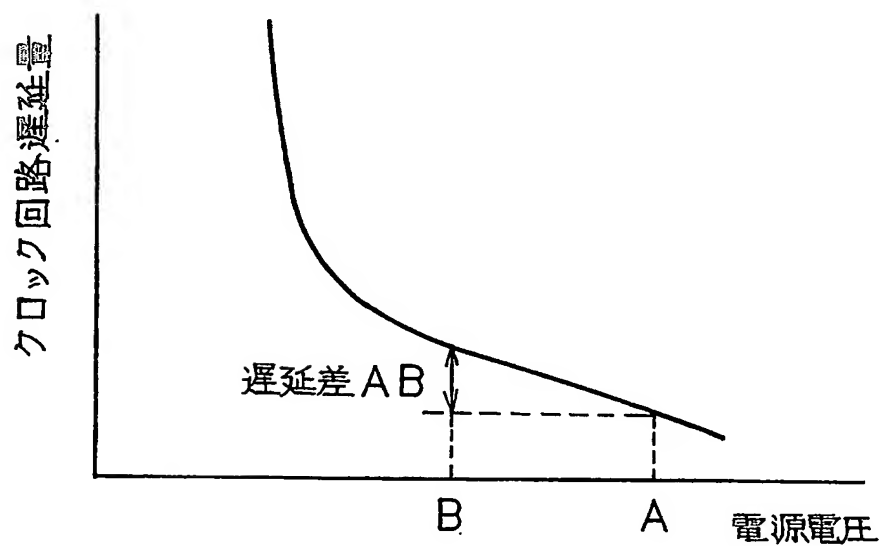
【図 3 3】



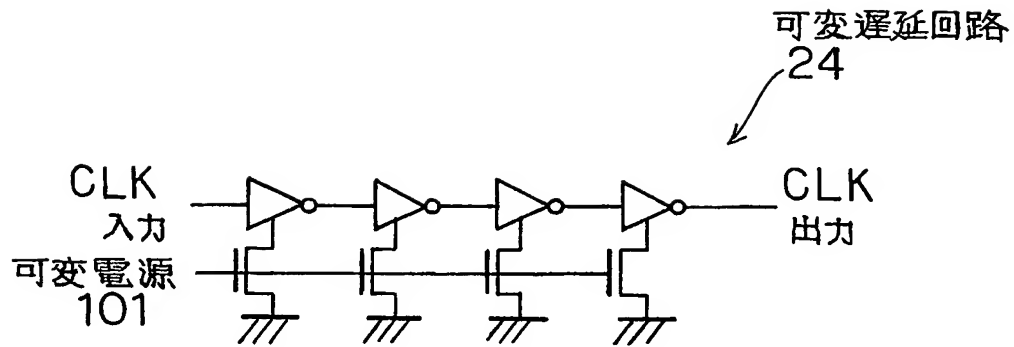
【図 3 4】



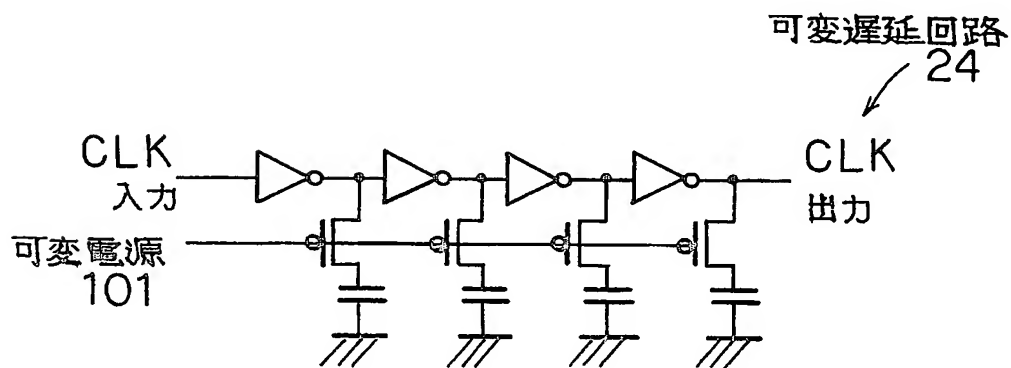
【図 3 5】



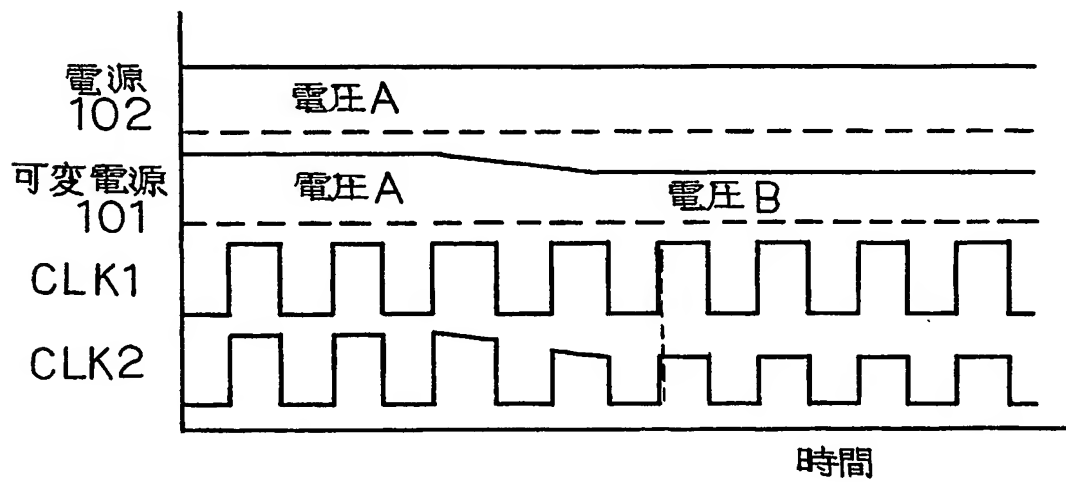
【図 3 6】



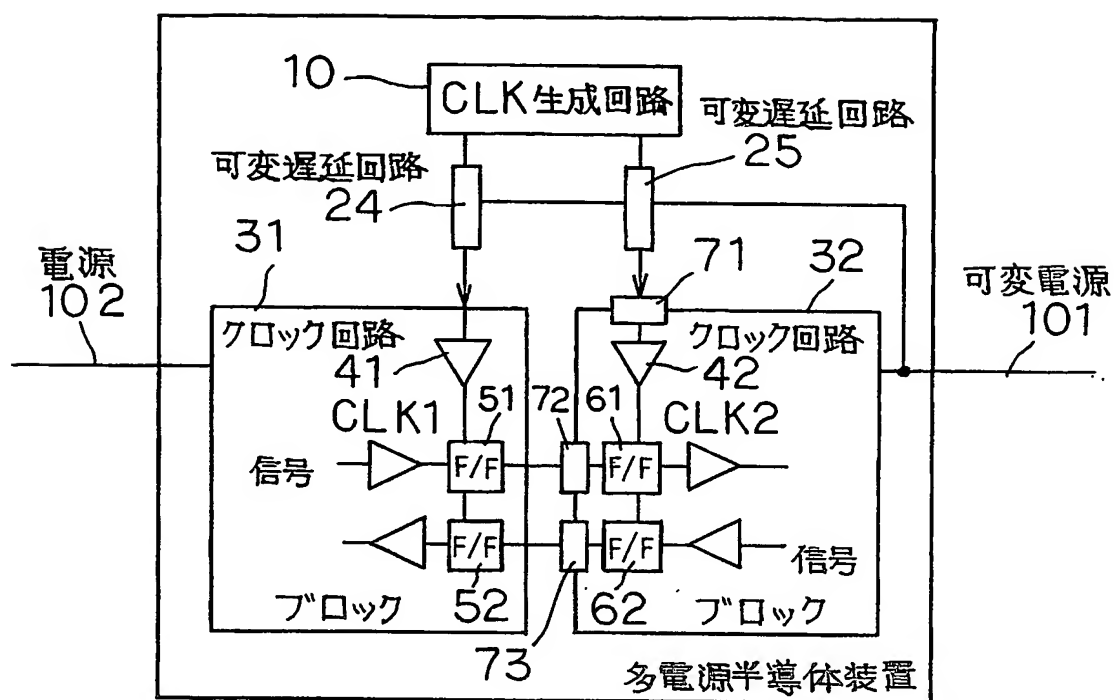
【図 3 7】



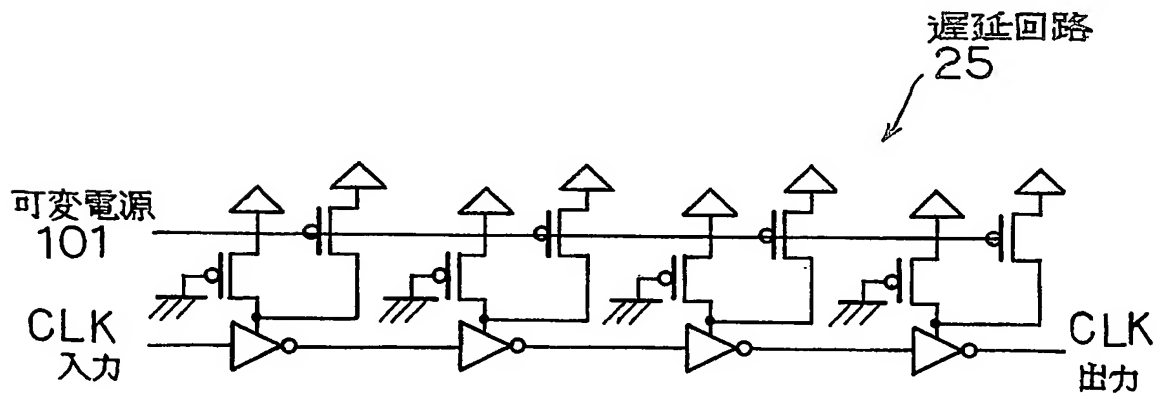
【図 3 8】



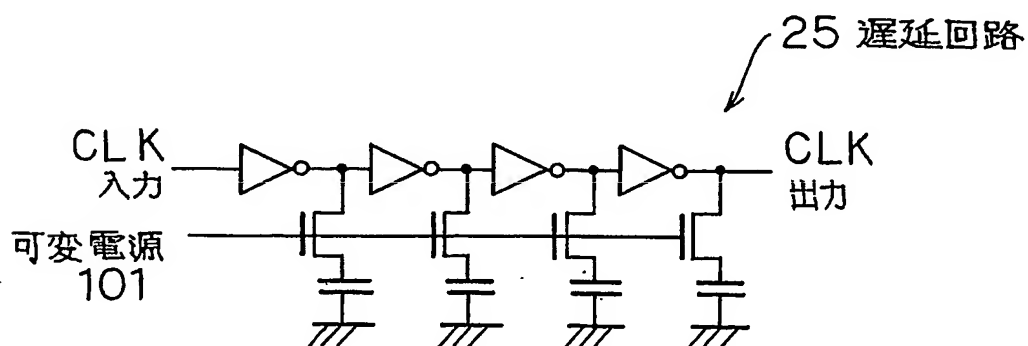
【図 39】



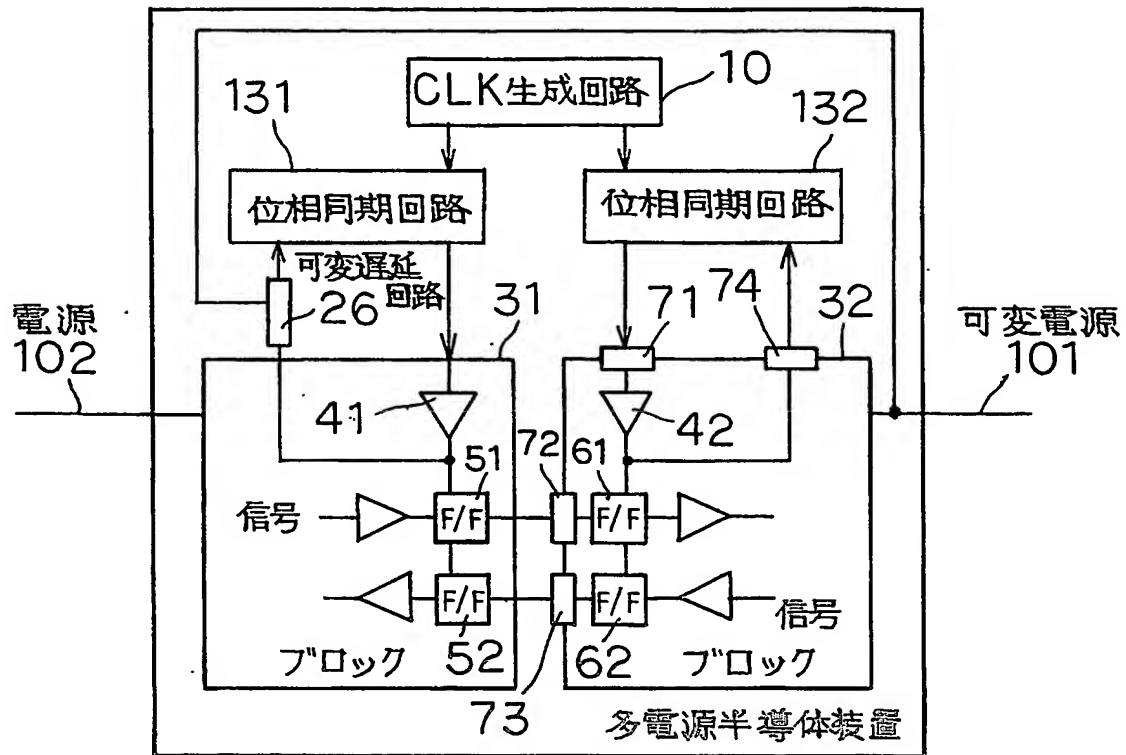
【図 40】



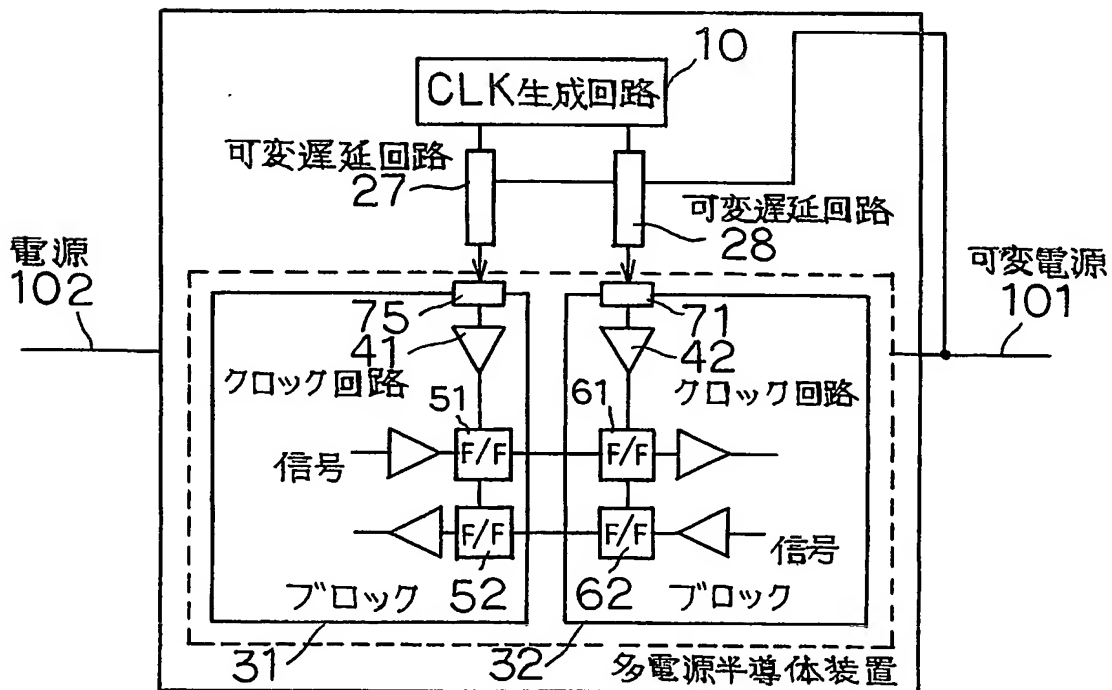
【図 41】



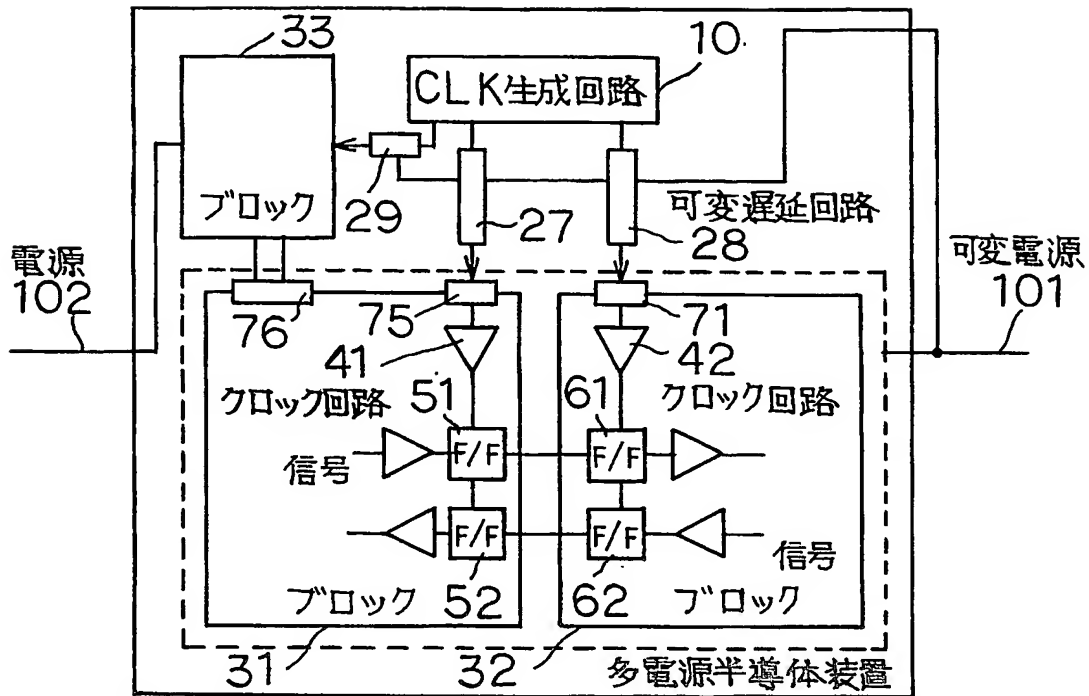
【図 4 2】



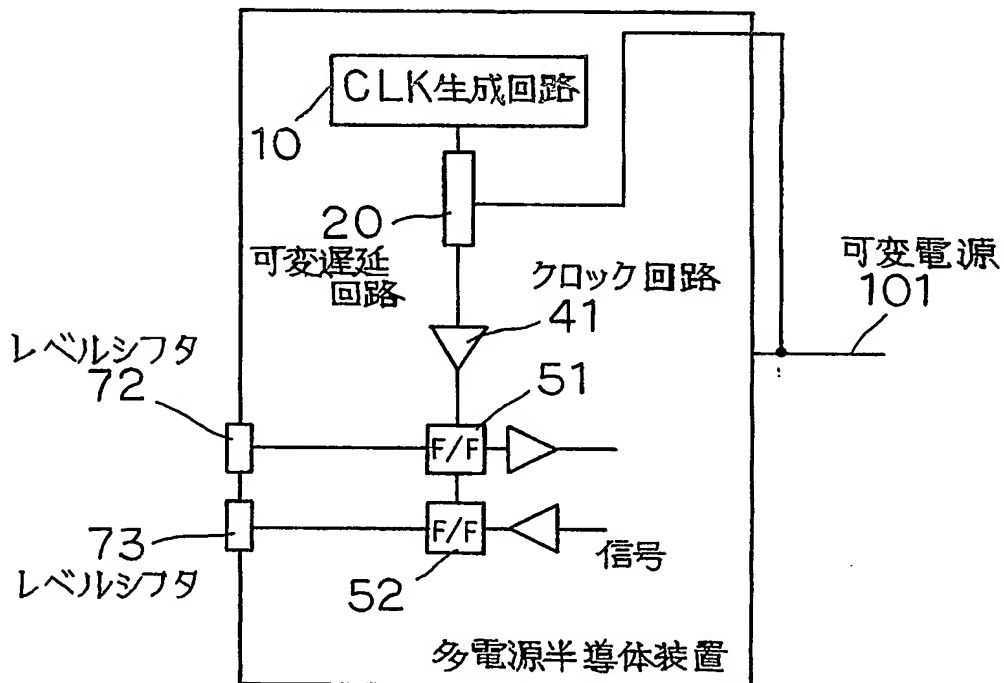
【図 4 3】



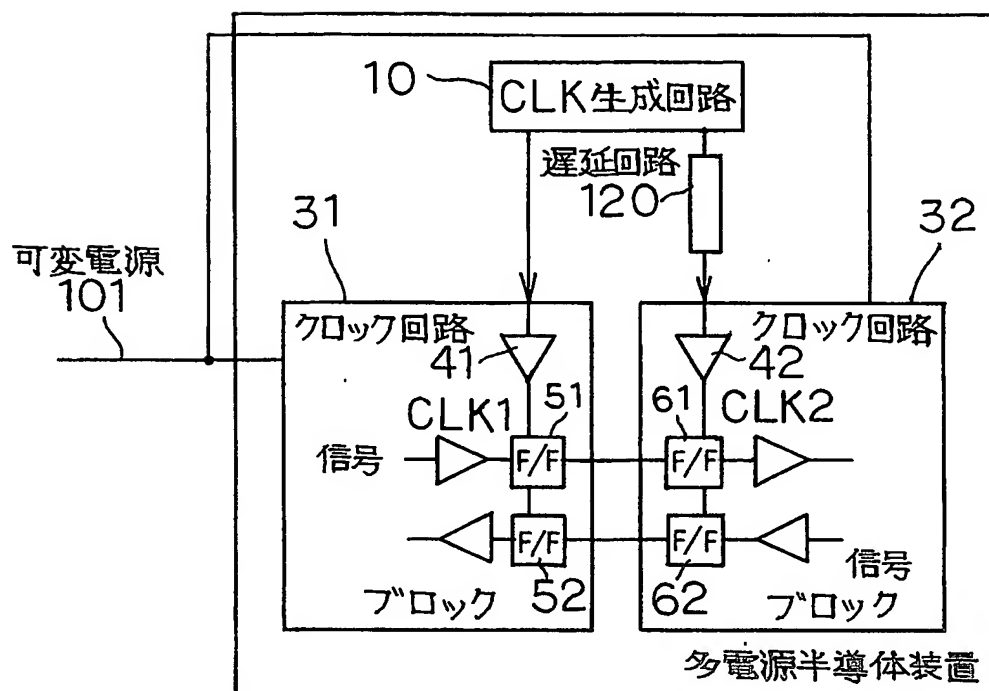
【図 4 4】



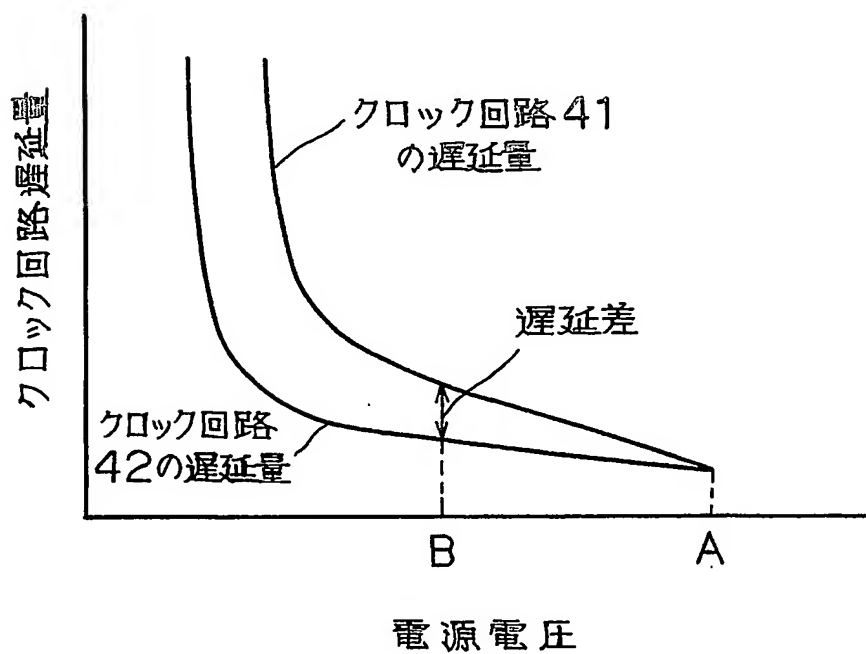
【図 4 5】



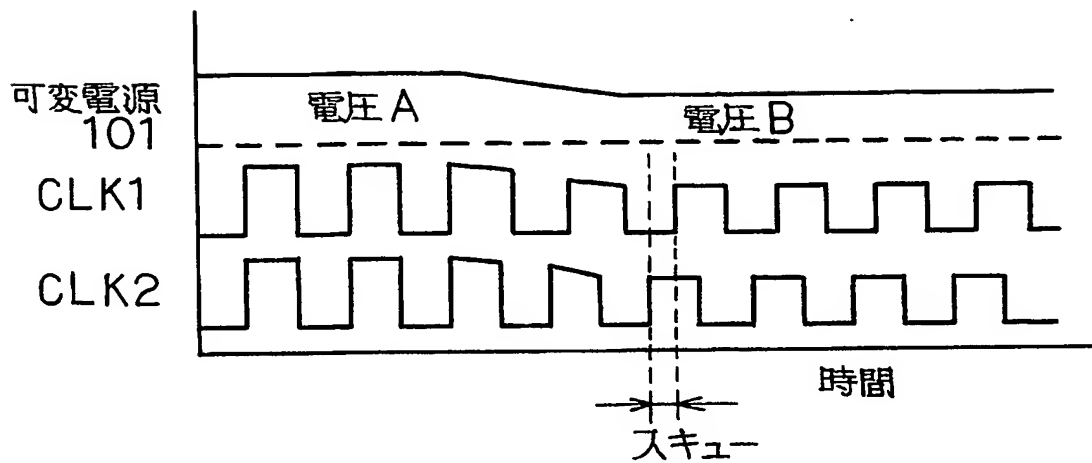
【図 4 6】



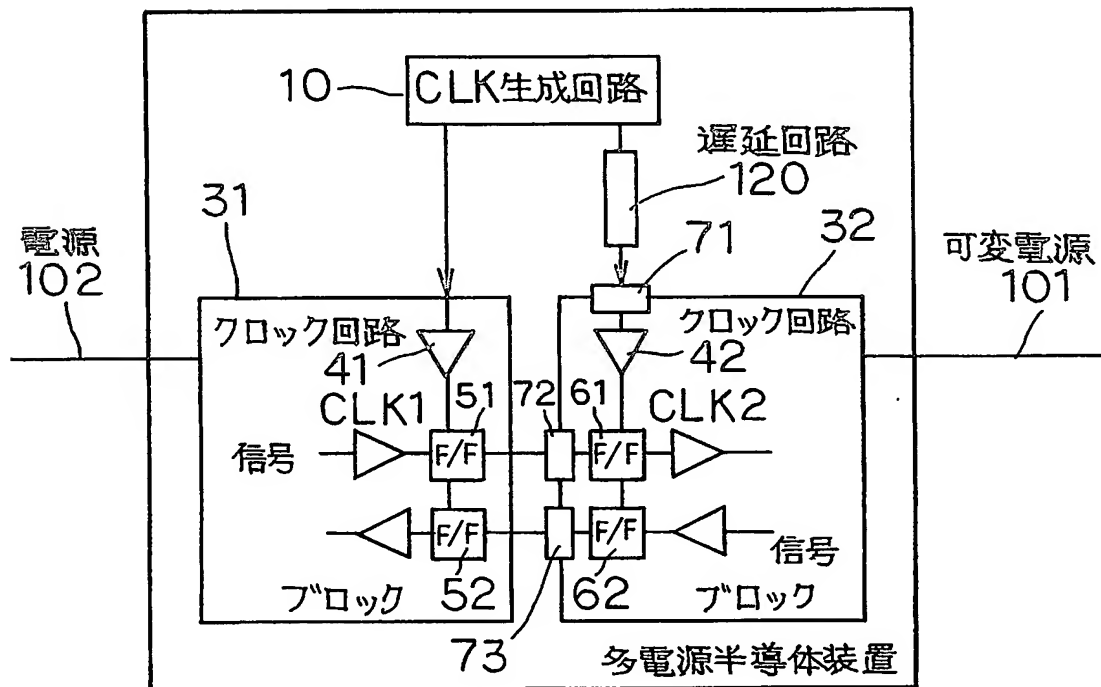
【図 4 7】



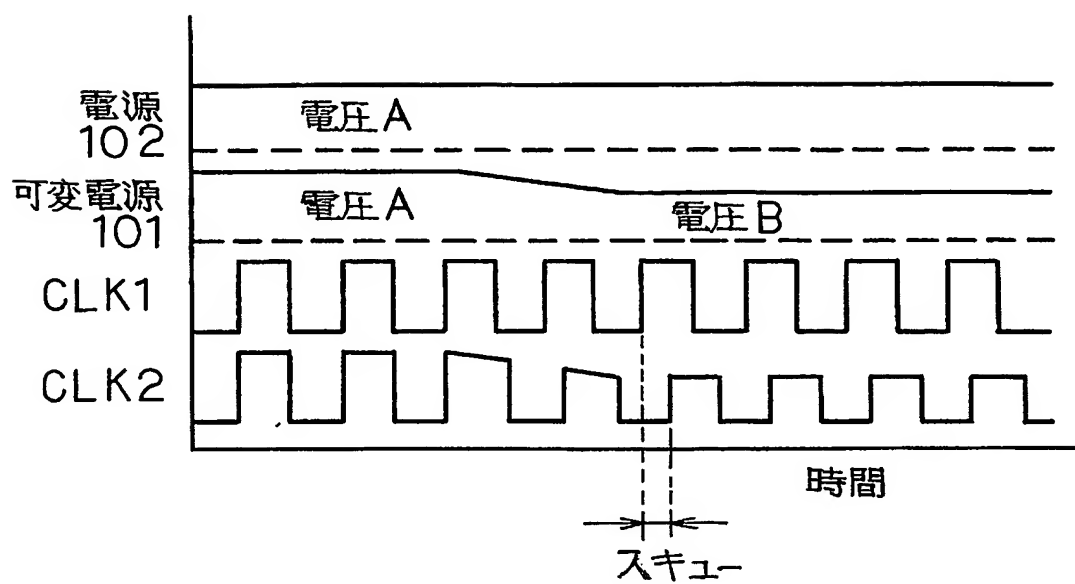
【図 4 8】



【図 4 9】



【図 50】



【書類名】 要約書

【要約】

【課題】 可変電源の電源電圧を変化させた場合でも、ブロック間のクロックスキューを低減する。

【解決手段】 複数のブロック 3 1、3 2 により構成され、各ブロック 3 1、3 2 が独立したクロック回路 4 1、4 2 を有し、可変電源 1 0 1 により動作する多電源半導体装置において、クロック生成回路 1 0 から複数のブロック 3 2 に供給されるクロック信号に、可変電源 1 0 1 の電圧値に基づいて遅延量が変わる可変遅延回路 2 0 を設ける。

【選択図】 図 1

特願 2 0 0 3 - 2 7 7 5 6 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 2 3 7]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目 7 番 1 号

氏 名

日本電気株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.